

T E C H N I S C H E U N I V E R S I T Ä T B E R L I N

Fakultät IV Institut für HFT und Halbleiter-Systemtechnologien

FG Mikrosystemtechnik Prof. Dr.-Ing. Dr. E.h. Herbert Reichl

Entwicklung eines Geometriemodells für eine
AVT-gerechte 2,5D-Platzierung unter
Berücksichtigung schaltungstechnischer
Entwurfsvorgaben

Diplomarbeit

Christian Richter

(Matr.-Nr: 192548)

Berlin, Dezember 2006

Hochschullehrer: Prof. Dr.-Ing. Dr.-Ing. E.h. Herbert Reichl

Zusammenfassung

Ein 2,5D-System-In-Package (SiP) bietet die Möglichkeit, mehrere Schaltungsmodule übereinander zu stapeln und durch vertikale Aufbau- und Verbindungstechnik (AVT) zu verbinden. Dieser Ansatz ist insbesondere bei der Integration heterogener Systeme von Vorteil und bietet durch die Ausnutzung der dritten Dimension ein sehr hohes Miniaturisierungspotential.

Bis jetzt existierte jedoch noch kein Werkzeug, das es einem Entwickler von 2,5D-SiPs erlaubt, auf die aufwändigen manuellen Arbeitsschritte zu verzichten und eine initiale Platzierung der Schaltungselemente automatisiert vorzunehmen.

In dieser Arbeit wird deshalb ein Modell erstellt, daß eine algorithmische Platzierung der Komponenten eines 2,5D-SiP ermöglicht. Dabei werden sowohl unterschiedliche Aufbau- und Verbindungstechniken, als auch schaltungstechnische Entwurfsvorgaben berücksichtigt. Im Fokus liegt die Modulintegration heterogener Systeme mit diskreten Komponenten. Zusätzlich wird eine prototypische Implementierung eines Softwarewerkzeugs vorgenommen, um das Erstellen der Modell-*daten* zu vereinfachen.

Um das Modell zu verifizieren, wird es zum Beschreiben einer Beispielschaltung herangezogen. Die Ergebnisse werden anschließend mit dem realen Aufbau verglichen. Es zeigt sich, daß die Berücksichtigung der betrachteten Aufbau- und Verbindungstechniken im Wesentlichen korrekt erfolgt.

Außerdem werden Platzierungsvorschläge für verschiedene technologische Realisierungen der Beispielschaltung untersucht und bewertet. Diese entstanden am FRAUNHOFER ITWM mit einem Optimierungswerkzeug, daß auf der Basis des in dieser Arbeit erstellten Modells paretooptimale Platzierungslösungen errechnet. Anhand der ausgewerteten Lösungen konnte gezeigt werden, daß auch die Berücksichtigung von schaltungstechnischen Entwurfsvorgaben prinzipiell möglich ist.

Ein fertiges physikalisches Design „auf Knopfdruck“ wird zwar wohl für immer ein Wunschtraum bleiben, ist jedoch auch nicht das Ziel dieser Arbeit. Das hier entwickelte Modell eröffnet – in Kombination mit den Algorithmen des FRAUNHOFER ITWM – stattdessen die Möglichkeit, initiale Platzierungsvorschläge für verschiedene Technologievarianten einer konkreten Schaltung zu erstellen und objektiv nach unterschiedlichen Kriterien zu vergleichen.

Inhaltsverzeichnis

1. Einleitung	13
1.1. Motivation	13
1.1.1. Rahmen der Arbeit	14
1.2. Aufgabenstellung	16
2. Technologien und Entwurfsgrundlagen	17
2.1. Kurzeinführung zu in SiPs benutzten Technologien	17
2.1.1. Was ist ein SiP?	20
2.1.2. Bauformen / Packages	21
2.1.3. Substrate	28
2.1.4. Vertical Interconnects	32
2.1.5. Montagetechnik / Verbindungstechnik	36
2.2. ECAD-Arbeitsabläufe und Formate	38
3. Entwicklung des Modells	40
3.1. Anforderungsanalyse	40
3.2. Packagebeschreibung	42
3.2.1. Basisgeometrie	42
3.2.2. Kontaktierung	44
3.3. Substratbeschreibung	46
3.4. Die einzelnen Bauelemente	49
3.4.1. Technologiequader	50
3.4.2. Routingquader	60
3.4.3. Bauelemente-Gruppen	62
3.4.4. Zusätzliche Attribute	63
3.5. Netzlisten	63
3.5.1. Explizite Verbinder (EC)	65
3.5.2. Subnetze	65
3.6. Beschreibung vertikaler Verbinder (VIC)	67
3.6.1. Allgemeines Geometriemodell	67
3.6.2. Beispiel: Solderball	69
3.6.3. Beispiel: Flex-Verbinder	70

3.7. Constraints	72
3.7.1. Mögliche Vorgaben	72
3.7.2. Benötigte Constraints	75
4. Implementierung eines Modellierungswerkzeugs	82
4.1. Anforderungen an den Modeller	82
4.2. Architektur	84
4.2.1. SiP-Datenmodell	85
4.3. Dateiformate	86
4.3.1. Packagedaten	86
4.3.2. Schnittstelle zum SipTechnologySelector	87
5. Umsetzung einer Referenzschaltung ins Modell	89
5.1. Vorstellung der Schaltung: 10mm-eGrain	89
5.2. Umsetzung ins Modell	92
5.2.1. Packages beschreiben	92
5.2.2. Technologieparameter einstellen	96
5.2.3. Import der Schaltung und Berechnung der Technologiequader	97
5.2.4. Constraints ableiten	98
5.2.5. Export	100
6. Auswertung	101
6.1. Realisierbarkeit	101
6.2. Anordnung der Komponenten	103
6.3. Schlußfolgerung	106
A. Schaltungsbeschreibung 10mm-eGrain	109
B. Schnittstellenspezifikation	116

Abbildungsverzeichnis

1.1. Gründe für den Einsatz von SiP, Quelle [25]	14
1.2. Darstellung des Diplomarbeitsthemas im Gesamtkontext	15
2.1. Übersicht über Bauformen, Montage- und Verbindungstechniken	19
2.2. Beispiele für SiP mit verschiedenen Technologien	21
2.3. Alternative SMD-Bauformen für Elektrolytkondensatoren	22
2.4. Verschiedene SMD-Sonderbauformen	23
2.5. Verschiedene Anschlußformen bei Array-Packages	25
2.6. Unterseite eines CSP (Chipcon CC1000)	26
2.7. Darstellung eines Nacktchips (Bare Die)	27
2.8. Einteilung verschiedener Substrate	28
2.9. Zweilagiges laminiertes Substrat	29
2.10. Mehrlagige laminierte Substrate, rigid (oben) / flexibel (unten)	30
2.11. Schematische Darstellung verschiedener VIC-Technologien	32
2.12. Abschätzung des Durchmessers eines Solder-Bump	33
2.13. Lotkugelabstand s_b und Pitch p_b bei Solder-Bumps	34
2.14. Gefaltetes Flex-Segment mit Bemaßung	35
2.15. Verlöteter SMD-Zweipol	37
2.16. Anisotrop leitendes Kleben (ACA)	38
3.1. Basisquader	43
3.2. Kontaktierungsstrecken	45
3.3. Anordnung der Substrate im SiP-Modell	47
3.4. Modellierte Substratparameter	48
3.5. Basis- und Technologiequader (Beispiel)	50
3.6. Basisgeometrie, Basisquader und Technologiequader	51
3.7. Wechselwirkungen zwischen SiP-Elementen	52
3.8. Berechnung des Technologiequaders	53
3.9. Technologiequader für SMT-Reflow-Löten (Zweipoliger SMD)	55
3.10. Technologiequader für SMD-Reflow-Löten, Draufsicht (Allgemeiner Fall)	57
3.11. Technologiequader für ACA-FC (Seitenansicht)	59

3.12. Bauelement mit umhüllenden Quadern	60
3.13. Abschätzung des Routingquaders für ein TSSOP36 bei $\chi = \frac{1}{2}$. . .	61
3.14. Beispiel für die Gruppierung von Bauelementen	62
3.15. Netz mit Subnetzen und expliziten Verbindern	64
3.16. Modellierung von VICs als dynamische Quader	68
4.1. Eingangs- und Ausgangsdaten des <i>Modellers</i>	83
4.2. Vereinfachtes UML-Klassendiagramm des SiP-Datenmodells	85
4.3. XSD-Spezifikation – SiP- und Configuration-Block	87
4.4. XSD-Spezifikation – Part-Block	88
4.5. XSD-Spezifikation – PartGroup-, VIC- und Net-Block	88
5.1. Schaltplan 10mm-eGrain	90
5.2. Zwei Realisierungen der 10mm-eGrain-Schaltung	92
5.3. <i>Modeller</i> -Dialog zum Einlesen der Packagedaten	93
5.4. AT128_FC-Package, Darstellung des Basisquaders (Draufsicht) . . .	96
5.5. <i>Modeller</i> -Dialoge zum Erzeugen von Substrat- und VIC-Typen . . .	97
5.6. <i>Modeller</i> -Dialog zum Zuweisen der Bauelemente-Eigenschaften . . .	98
5.7. Gruppierung der Bauteile beim 10mm-eGrain	99
6.1. Flex-Realisierung des 10mm-eGrains mit überlagerten Basis- und Technologiequadern	102
6.2. 2D-Projektionen des Lösungsraums	104
6.3. Platzierungsvorschlag für gestapelte Module mit 3 Ebenen	105
6.4. Platzierungsvorschlag für Flex mit 3 Ebenen	106

Tabellenverzeichnis

2.1.	Bezeichnungen und Maße verschiedener Chip-Bauformen	22
2.2.	Maße verschiedener MELF-Bauformen	23
2.3.	Bezeichnung verschiedener Rastermaße bei SMT-Bauelementen . . .	24
2.4.	Maße einiger auf SO und QFP basierender Bauelemente	24
2.5.	Bezeichnung verschiedener Rastermaße bei Array-Bauelementen . .	25
2.6.	Einteilung von Substraten in Layoutklassen	29
2.7.	Gebräuchliche Substrat-Oberflächenbeschichtungen	31
3.1.	Modellierte Substrat-Parameter	49
3.2.	TQ-Einflußgrößen beim SMT-Reflow-Löten mit Beispielwerten . . .	58
3.3.	TQ-Einflußgrößen beim ACA-Kleben von Flip-Chips	59
3.4.	Modellierte VIC-Parameter	69
3.5.	VIC-Einflußgrößen für Flex- und Solderbump-Verbinder	72
3.6.	Übersicht über Bauelement-Constraints	77
3.7.	Übersicht über VIC-basierte Constraints	80
3.8.	Übersicht über Verbindungsbasierte Constraints	81
5.1.	0201-Package Geometriedaten	94
5.2.	TU1-Package Geometriedaten	95
5.3.	AT128_FC-Package Geometriedaten	95
5.4.	Kompletter Constraint-Satz für 10mm-eGrain	100
A.1.	Spezifikationen der 10mm-eGrain-Schaltung	109
A.2.	Die wichtigsten Bauelemente der 10mm-eGrain-Schaltung	110
A.3.	Substrattypen für 10mm-eGrain	110
A.4.	VIC-Typen für 10mm-eGrain	110
A.5.	Verbindungstechniken für 10mm-eGrain	111
A.6.	Reduzierter Constraint-Satz für 10mm-eGrain	111
A.7.	Basisgeometrie und -Quader aller Packages im 10mm-eGrain	112
A.8.	Technologie- und Routingquader für eGrain Bauelemente	113
A.9.	Bauelementepositionen für Flex- und Solderbump-Lösung	114
A.10.	Lotkugeldurchmesser	115

Liste der verwendeten Symbole

α	Thermischer Ausdehnungskoeffizient
β	Winkel zwischen zwei Bauelementen. $\beta = n \cdot 90^\circ$ mit $n = [0...3]$.
χ	Routing-Korrekturfaktor
Δx_{tol}	Toleranzen der Bauelementeabmessungen in x-Richtung
$\Delta x_{1,TQ}$	Zusätzlicher Technologiequaderabstand in negativer x-Richtung
$\Delta x_{1,RQ}$	Zusätzlicher Routingquaderabstand in negativer x-Richtung
$\Delta x_{2,TQ}$	Zusätzlicher Technologiequaderabstand in positiver x-Richtung
$\Delta x_{2,RQ}$	Zusätzlicher Routingquaderabstand in positiver x-Richtung
Δy_{tol}	Toleranzen der Bauelementeabmessungen in y-Richtung
$\Delta y_{1,TQ}$	Zusätzlicher Technologiequaderabstand in negativer y-Richtung
$\Delta y_{1,RQ}$	Zusätzlicher Routingquaderabstand in negativer y-Richtung
$\Delta y_{2,TQ}$	Zusätzlicher Technologiequaderabstand in positiver y-Richtung
$\Delta y_{2,RQ}$	Zusätzlicher Routingquaderabstand in positiver y-Richtung
Δz_{tol}	Toleranzen der Bauelementeabmessungen in z-Richtung
$\Delta z_{1,TQ}$	Zusätzlicher Technologiequaderabstand in negativer z-Richtung
$\Delta z_{2,TQ}$	Zusätzlicher Technologiequaderabstand in positiver z-Richtung
ρ	Spezifischer Elektrischer Widerstand [$\Omega \cdot m$]
a_{top}	Bestückungsindikator für Substratoberseite (1: bestückbar 0:nicht best.)
a_{bot}	Bestückungsindikator für Substratunterseite (1: bestückbar 0:nicht best.)
b_i	i-tes Bauelement aus M_{BE}
d_{above}	Abstand zwischen Basisquaderoberseite und Substratmetallisierung
d_b	Durchmesser der Lotkugel bei Solder-Bumps
d_{fill}	Durchmesser der Füllpartikel beim ACA
d_t	Werkzeugabstand
d_x	Allgemein: Ausdehnung eines Quaders oder Rechtecks in x-Richtung
$d_{x,i}$	Ausdehnung des i-ten Bauelemente-Pads in x-Richtung
d_y	Allgemein: Ausdehnung eines Quaders oder Rechtecks in y-Richtung
$d_{y,i}$	Ausdehnung des i-ten Bauelemente-Pads in y-Richtung
d_z	Allgemein: Ausdehnung eines Quaders in z-Richtung

g_x	Padvergrößerungsfaktor in x-Richtung
g_y	Padvergrößerungsfaktor in y-Richtung
G	Gap, der Spalt zwischen zwei Substraten
h_{bump}	Höhe der Bumps beim ACA-Kleben
h_{SiP}	Gesamthöhe des SiP (Substrate und Bauelemente)
$h_{SiP,max}$	maximale Gesamthöhe des SiP
$h_{SiP,min}$	minimale Gesamthöhe des SiP
$k_{BQ,1...k_{BQ,4}}$	Außenkanten 1 bis 4 der Basisquader-Grundfläche
$k_{Subst,1...k_{Subst,4}}$	Außenkanten 1 bis 4 des Substrates in einem Modul
l_w	minimale Leitungsbreite (min. width)
l_s	minimaler Leitungsabstand (min. space)
M_{BE}	Menge aller Bauelemente eines SiP
$M_{BE,i}$	Menge der Bauelemente, die zum i-ten Modul des SiP gehören
$M_{BE,sub}$	Beliebige Untermenge von M_{BE}
m_i	i-tes Modul aus M_{Mod}
M_k	Menge von Substratkanten $M_k \subseteq \{k_{Subst,1...k_{Subst,4}}\}$
M_{pack}	Menge der verschiedenen Bauformen (Packages)
M_{pad}	Menge der zu einem Package gehörigen Pads
M_{Mod}	Menge aller Module eines SiP
M_{Subst}	Menge aller Substrate eines SiP
M_{TQ}	Menge der einem Bauelement zugeordneten Technologiequader
M_{VIC}	Menge aller Vertical Interconnects eines SiP
$M_{VIC,i}$	Menge der Vertical Interconnects, die zum i-ten Modul gehören
n_{BE}	Anzahl der Bauelemente im SiP
n_{IO}	Anzahl der benötigten Ein-/Ausgabe-Anschlüsse eines ICs
n_G	Anzahl der in einem IC integrierten logischen Gatter
n_{Mod}	Anzahl der Module im SiP
$n_{Mod,min}$	Mindestanzahl der Module im SiP
$n_{Mod,max}$	Maximal erlaubte Anzahl der Module im SiP
n_{pad}	Anzahl der Pads eines Packages
$n_{pad,k}$	Anzahl der Pads eines Packages an der Seite k
n_{port}	Anzahl der Anschlüsse eines Bauelements
n_{sig}	Anzahl der leitenden Signal-Lagen in einem Substrate
n_{Subst}	Anzahl der Substrate im SiP
p	Rastermaß (pitch)
p_{con}	Priorität eines Constraints. $p_{con} \in \{0, \dots, 5\}$
p_i	i-tes Pad aus M_{pad}
$p_{start,i}$	Startpad einer expliziten Verbindung v_i
$p_{end,i}$	Endpad einer expliziten Verbindung v_i

s_b	Abstand zwischen zwei Solder-Bumps
s_i	i-tes Substrat aus M_{Subst}
t_{bot}	Dicke der untersten Metallisierungslage im Substrat (bottom-layer)
t_i	Dicke der i-ten Metallisierungslage im Substrat
t_s	Dicke der Lotschicht zwischen Substat-Pad und Bauelement-Pad
t_{subst}	Gesamtdicke aller Innenlagen eines Substrates (Abstand von Top- u. Bot-Layer)
t_{top}	Dicke der obersten Metallisierungslage im Substrat (top-layer)
v_i	Explizite Verbindung (EC) zwischen zwei Pads eines Netzes
s_i	i-tes Substrat aus M_{Subst}
$x_{BE,i}$	x-Position des i-ten Bauelements im SiP
x_{BQ}	Ausdehnung des Basisquaders in x-Richtung
$x_{pad,i}$	x-Koordinate des i-ten Pads im Bauelement
x_{subst}	x-Ausdehnung der Substrate
$x_{subst,max}$	Maximal zulässige x-Ausdehnung der Substrate
$x_{subst,min}$	Minimale x-Ausdehnung der Substrate
$x_{VIC}(h)$	Ausdehnung eines VIC in x-Richtung
$y_{BE,i}$	y-Position des i-ten Bauelements im SiP
y_{BQ}	Ausdehnung des Basisquaders in y-Richtung
$y_{pad,i}$	y-Koordinate des i-ten Pads im Bauelement
y_{subst}	y-Ausdehnung der Substrate
$y_{subst,max}$	Maximal zulässige y-Ausdehnung der Substrate
$y_{subst,min}$	Minimale y-Ausdehnung der Substrate
$y_{VIC}(h)$	Ausdehnung eines VIC in y-Richtung
z_{BQ}	Ausdehnung des Basisquaders in z-Richtung

Erklärung

Mit der Abgabe der Diplomarbeit versichere ich an Eides statt, daß ich diese selbstständig verfasst und keine anderen als die angegebenen Quellen und Hilfsmittel verwendet habe.

Ort, Datum

Christian Richter

Kapitel 1.

Einleitung

1.1. Motivation

Moderne Fertigungsverfahren in der Halbleiterindustrie ermöglichen die Herstellung immer kleinerer Strukturen. Das erlaubt die Integration von immer mehr Funktionen – bis hin zu kompletten Systemen – auf einem einzigen Integrierten Schaltkreis (IC). Diese Form der Integration wird als System-On-Chip Integration (SoC) bezeichnet.

Der hohe finanzielle und zeitliche Aufwand eines solchen IC-Entwurfs rechtfertigt sich jedoch nur für Produkte, die in sehr hohen Stückzahlen gefertigt werden. Für sehr heterogene Systeme bedingt außerdem die zunehmend höhere Komplexität bei Entwurf und Fertigung eine sinkende Ausbeute (Yield).

In vielen Fällen – speziell bei heterogenen Systemen – ist die günstigere Alternative daher eine Kombination mehrerer separater ICs inklusive externer Beschaltung zu einer Multi-Chip-Lösung [1, 3]. Solche Systeme sind

- technologisch leichter beherrschbar,
- schneller und einfacher zu entwickeln und
- flexibler einsetzbar.

Als Integrationsmöglichkeit bietet sich – neben dem Multi-Chip-Modul (MCM) als Flachbaugruppe – vor allem der System-In-Package-Ansatz (SiP) an. Ein 2,5D-SiP [17] bietet die Möglichkeit, mehrere Module übereinander zu stapeln und durch vertikale Aufbau- und Verbindungstechnik (AVT) zu verbinden (siehe Abschnitt 2.1).

Das Diagramm in Abbildung 1.1 zeigt die laut [25] häufigsten Gründe für den Einsatz von SiP. Die Tendenz ist dabei stark zunehmend. Während in 2004 noch

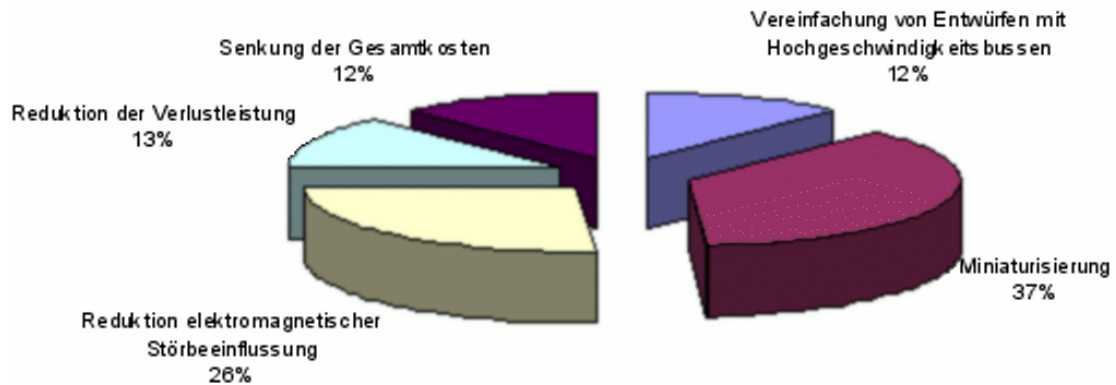


Abbildung 1.1.: Gründe für den Einsatz von SiP, Quelle [25]

1,89 Mrd. SiPs hergestellt wurden, werden für 2008 bereits 3,25 Mrd. Stück prognostiziert [2].

Derzeit existiert noch kein Werkzeug, das es einem Entwickler von 2,5D-SiPs erlaubt, auf die aufwändigen manuellen Arbeitsschritte zu verzichten und z.B. eine volumenoptimierte Platzierung der Schaltungselemente automatisiert vorzunehmen [16]. Zudem ist die Berücksichtigung der Aufbau- und Verbindungstechnik noch unzureichend. Es existiert zum Beispiel keine Möglichkeit, automatisch Platzierungsvorschläge für verschiedene AVT-Varianten zu erzeugen und vergleichend gegenüberzustellen.

Vor allem die Art der vertikalen Verdrahtung (z.B. in Form von Solder-Bumps oder flexiblen Substrat-Teilen) hat durch ihre individuellen Eigenschaften sowie ihren nicht zu vernachlässigenden Platzbedarf einen großen Einfluß auf die Platzierung der Bauelemente im SiP [19]. Hier wäre eine Gegenüberstellung der Realisierungsmöglichkeiten für eine konkrete Schaltung aufschlußreich.

1.1.1. Rahmen der Arbeit

Diese Diplomarbeit findet im Rahmen des Projektes *Teplavius* statt. Dieses Projekt wird von den beiden Fraunhofer Instituten IZM und ITWM bearbeitet. Entstehen soll ein EDV-basiertes Platzierungsverfahren, daß beim Design von SiPs in 2,5D-Technik eingesetzt werden kann.

Ziel ist es, aus einem Schaltplan und einer Beschreibung der einzelnen Bauelemente durch mathematische Optimierungsmethoden mehrere SiP-Platzierungsvorschläge abzuleiten, die nach bestimmten Kriterien wie z.B. Volumen des Systems, mittlere Verdrahtungslänge usw. optimiert sind.

Dabei sollen verschiedene technologische Realisierungsmöglichkeiten gegenübergestellt und verglichen werden können. Die entsprechenden Aufbau- und Verbin-

dingstechniken müssen also in die Betrachtung mit einbezogen werden. Zudem sind viele Platzierungsmöglichkeiten denkbar, die zu nicht funktionierenden oder nicht fertigungsfähigen Systemen führen. Bauelemente lassen sich nicht beliebig anordnen. Es müssen also zusätzlich verschiedene elektrotechnische und fertigungstechnische Randbedingungen (Constraints) erfüllt sein.

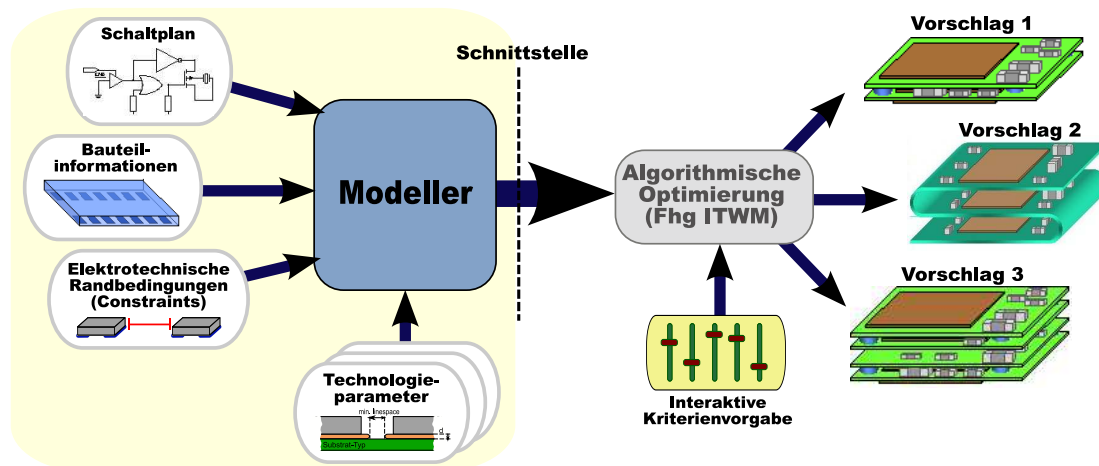


Abbildung 1.2.: Darstellung des Diplomarbeitsthemas im Gesamtkontext

Wie in Abbildung 1.2 dargestellt, soll dabei in zwei Schritten vorgegangen werden.

Im ersten Schritt müssen alle angesprochenen Informationen (Schaltplan, Bauelementeinformationen, Constraints, Parameter verschiedener Technologien) erfasst, systematisiert, vereinfacht und in ein Modell überführt werden. Die durch dieses Modell gegebene Beschreibung des zu entwerfenden SiPs wird dann in computerlesbarer Form abgelegt. Das genaue Format ist in einer Schnittstellendefinition festgeschrieben.

Im zweiten Schritt wird diese Beschreibung durch eine vom FRAUNHOFER ITWM entwickelte Optimierungseingine dazu genutzt, mehrere Platzierungsvorschläge zu berechnen. Anschließend können diese dann miteinander verglichen werden. Durch die interaktive Vorgabe von verschiedenen Kriterien kann dann aus diesen unterschiedlichen Realisierungen die für den konkreten Anwendungsfall am Besten geeignete ausgewählt werden.

Diese Arbeit widmet sich dem ersten Teil, also

- der Identifizierung der benötigten Eingangsdaten,
- dem Finden von geeigneten Beschreibungsformen für die Elemente des SiP,
- dem Erarbeiten der notwendigen Constraints,

- dem Erstellen eines Modells und
- der Definition des Schnittstellenformats.

Bei allen diesen Schritten ist natürlich eine enge Abstimmung mit dem Team, das den zweiten Teil – die algorithmische Optimierung – bearbeitet unabdingbar. Es muß sichergestellt werden, daß sich sowohl die gewählten Beschreibungsformen der Elemente als auch die gewählten Constraints mathematisch umsetzen und in den Optimierungsverfahren berücksichtigen lassen. Auch das Schnittstellenformat muß selbstverständlich sowohl den entwurfstechnologischen als auch den mathematischen Anforderungen auf beiden Seiten entsprechen.

1.2. Aufgabenstellung

Ziel der Diplomarbeit ist es, ein Modell zu erstellen, daß eine algorithmische Platzierung der Komponenten eines 2,5D-SiP unter Berücksichtigung schaltungstechnischer und technologischer Entwurfsvorgaben ermöglicht. Im Fokus liegt vor allem die Modulintegration heterogener Systeme¹ mit diskreten Komponenten.

Dazu müssen geeignete geometrische Beschreibungen der Bauelemente, Substrate und Verbinder erarbeitet werden, die auch die Gegebenheiten unterschiedlicher Aufbau- und Verbindungstechniken (AVT) und verschiedener vertikaler Integrationstechniken berücksichtigen. Primär sollen hier Stack- und Falttechnik betrachtet werden. Das Design eines SiP soll so für mathematische Methoden aufbereitet werden, daß prinzipiell Werkzeuge ermöglicht werden, die den Entwickler bei Technologieauswahl und Platzierung der Elemente unterstützen.

Ein besonderer Schwerpunkt liegt auf den zahlreichen Randbedingungen, die vom Platzierungsalgorithmus zu beachten sind, um sowohl die Funktionsfähigkeit, als auch die Realisierbarkeit und Testbarkeit des Systems sicherzustellen. Diese müssen identifiziert, und ihre geeignete Formulierung im Modell ermöglicht werden.

Eine Verifizierung findet mit Hilfe eines Platzierungsassistenten statt, der auf Basis des in dieser Arbeit entstandenen Modells vom Fraunhofer ITWM in Kooperation mit dem IZM entwickelt wird.

¹häufig auch als PoP (engl. Package-on-Package) bezeichnet

Kapitel 2.

Technologien und Entwurfsgrundlagen

In diesem Kapitel sollen theoretische Grundlagen und Begriffe eingeführt werden, die für das in Kapitel 3 entwickelte Modell und dessen Implementierung in Software (Kapitel 4) benötigt werden.

Neben der Definition eines SiP gehört dazu vor allem ein Überblick über die für SiPs relevanten Aufbau- und Verbindungstechniken, sowie eine Darstellung der momentan in der 2D-ECAD-Welt verbreiteten Arbeitsabläufe (workflow) und Datenformate.

2.1. Kurzeinführung zu in SiPs benutzten Technologien

In diesem Abschnitt soll zunächst ein grober Überblick über verschiedene Möglichkeiten der Aufbau- und Verbindungstechnik gegeben werden. Anschließend werden die für SiP relevanten (bzw. die bei der in Kapitel 3 beschriebenen Modellierung berücksichtigten Technologien) genauer beschrieben. Die zum Teil sehr komplexen technologischen Zusammenhänge sollen dabei jedoch nur in der Tiefe dargestellt werden, die für die spätere Modellierung relevant ist.

Das grundlegende Ziel der AVT ist es, verschiedene Bauelemente in einer Baugruppe zu integrieren. Als Baugruppe wird dabei

„... eine konstruktive und in der Regel auch funktionelle Einheit aus integrierten und/oder diskreten aktiven (IC) und passiven Bauelementen definiert, die durch ein Leitungsnetzwerk auf einem geeigneten Träger – dem sog. Verdrahtungsträger – elektrisch und mechanisch verbunden sind.“ [22, S.9]

Neben der Zuverlässigkeit der Verbindungen spielt vor allem die Miniaturisierung der Baugruppen dabei eine wichtige Rolle.

Es existieren verschiedene Typen von Bauelementen:

- *passive Elemente* (Widerstände, Kapazitäten, Induktivitäten),
- *Einzelhalbleiter* (Dioden, Transistoren, ...),
- *Integrierte Schaltkreise* (IC: integrated circuits) und verschiedene
- *Sonderformen* (Quarze, Sensoren, MEMS, optische Bauelemente, ...).

Diese Bauelemente sind in vielfältigen Bauformen (Packages) verfügbar. Bei Halbleitern – insbesondere bei ICs – besteht außerdem die Möglichkeit, auf ein Package ganz zu verzichten, und mit dem nackten Chip (Bare Die) zu arbeiten. In Abschnitt 2.1.2 wird auf die verschiedenen Bauformen (incl. Bare Dice) näher eingegangen.

Das Angebot an Verdrahtungsträgern (Substraten) ist ebenfalls sehr breit gefächert. Verschiedene Formen der Klassifizierung sind hier möglich. So lassen sich z.B. starre (rigide) und biegsame (flexible) Substrate unterscheiden [6, S.30ff]. Auch eine Einteilung nach der Anzahl der für die Signalführung verfügbaren Lagen (einlagig, zweilagig, vierlagig, ...) oder dem verwendeten Material (Laminat, Keramik, Polyimid) ist üblich. Mehr zur Einteilung und zum Aufbau von Substraten, sowie zu deren wichtigsten Kenngrößen ist in Abschnitt 2.1.3 zu finden.

Für die Verbindung der Bauelemente mit dem Substrat stehen im Wesentlichen drei Verbindungstechniken zur Wahl: Löten, Kleben und Preßschweißen. Durch sie wird bei der Montage der Bauelemente die elektrische Kontaktierung hergestellt.

Je nach Typ des Bauelements und den Möglichkeiten des Substrates kommen unterschiedliche Montagetechniken zur Anwendung (Abbildung 2.1). Bei der

Durchsteckmontage (THT: through hole technology) – manchmal auch als Einsteckmontage bezeichnet – werden die Bauelemente durch Substratbohrungen gesteckt und anschließend durch Lot elektrisch leitend fixiert. Es entsteht eine form- und stoffschlüssige Verbindung. Bei der

Oberflächenmontage (SMT: surface mount technology) wird eine leitende Verbindung mit den auf der Substratoberfläche aufmetallisierten Pads hergestellt. Dies kann durch Löten oder (leitfähiges) Kleben geschehen. Es entsteht eine stoffschlüssige Verbindung. Die

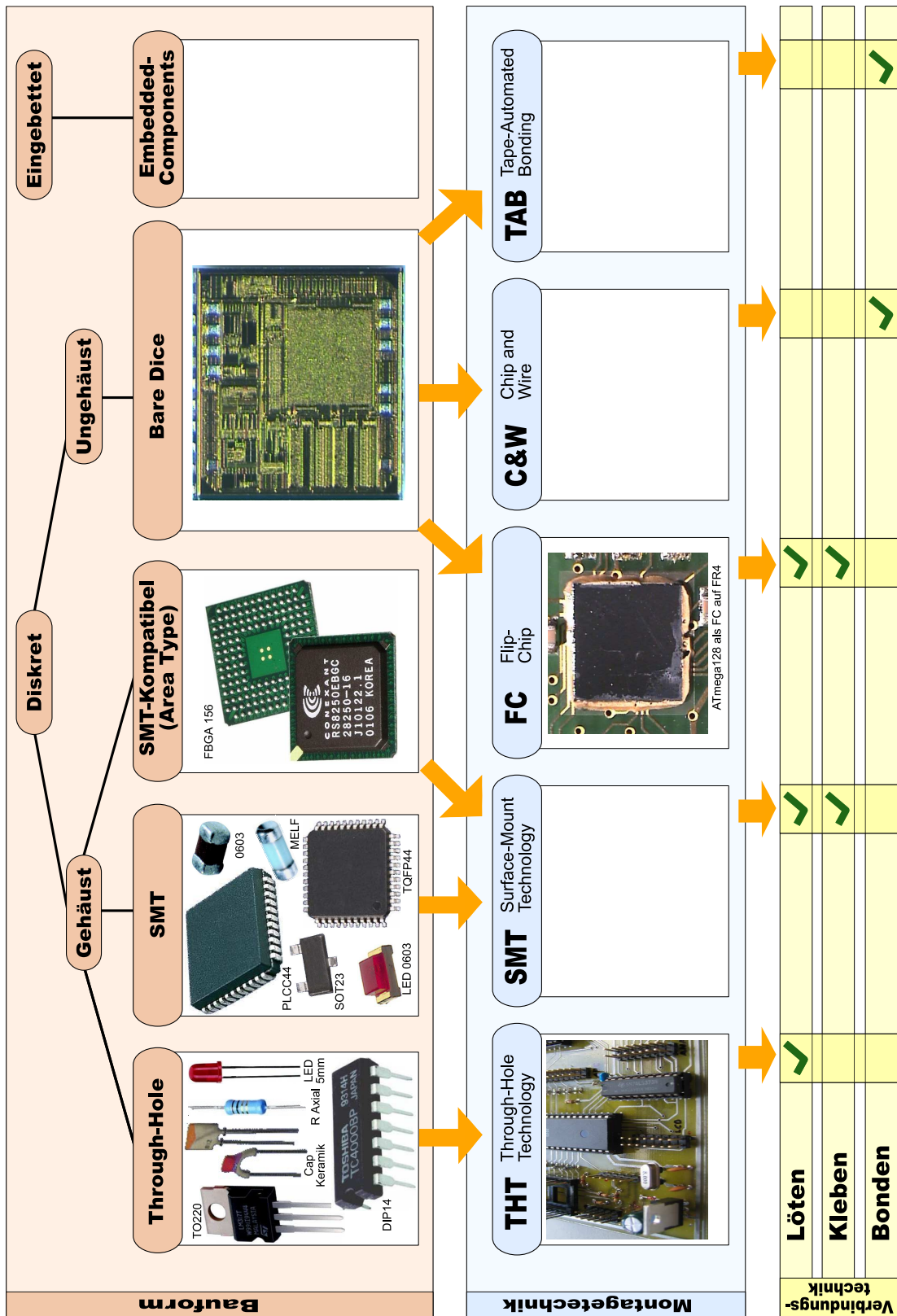


Abbildung 2.1.: Übersicht über Bauformen, Montage- und Verbindungstechniken

Direktmontage ist für ungehäuste Halbleiter (bare dice) anwendbar. Sie werden direkt, also ohne zusätzliches Packaging auf der Substratoberfläche kontaktiert. Geschieht das mit der aktiven Seite zum Substrat (face down), spricht man von **Flip-Chip**-Technik (*FC*). Hier kommt Löten oder leitfähiges Kleben zum Einsatz.

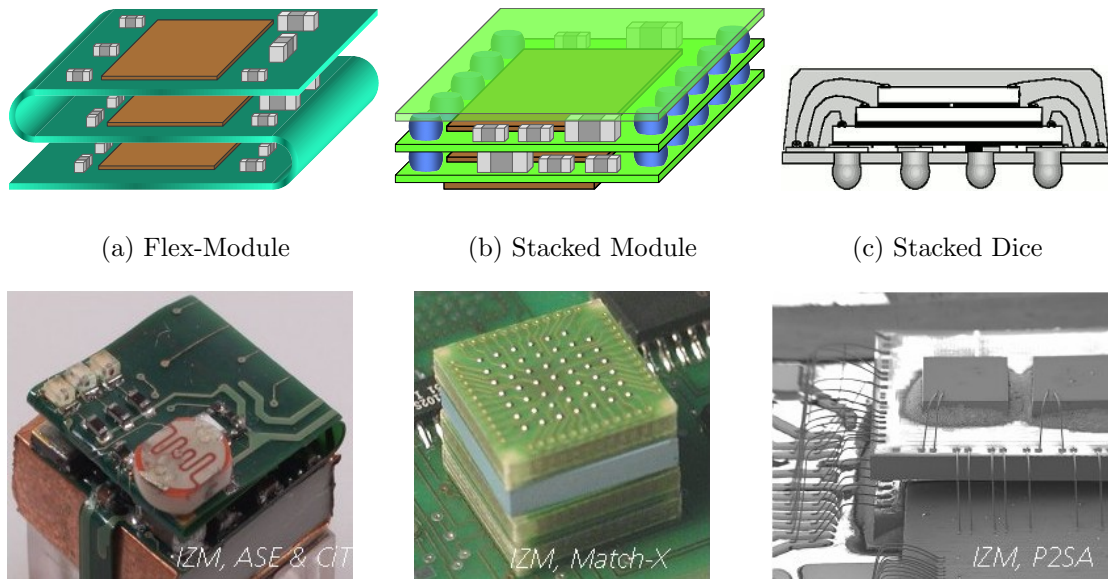
Zeigt die aktive Seite vom Substrat weg (face up), kommt neben TAB-Techniken vor allem die **Chip-And-Wire**-Technik (C&W) zum Einsatz. Die elektrische Verbindung wird hier durch Drahtbrücken sichergestellt, die durch Preßschweißen sowohl auf dem Chip als auch auf dem Substrat kontaktiert werden (Drahtbonden) [20]. Die

Einbettung von passiven Elementen (*embedded passives*) hat eine Art Sonderstatus. Hier werden keine Bauelemente im eigentlichen Sinne verarbeitet. Stattdessen werden Teile der Metall-Lagen des Substrates so geschickt angeordnet, daß Widerstände, Induktivitäten und auch Kapazitäten entstehen. Die entstehenden 'Bauelemente' sind also selbst Bestandteil des Substrates. Sind die zur Diskussion stehenden Bauelemente sehr flach (gedünnte Chips, Passive in 0201- oder 01005-Bauform) besteht auch die Möglichkeit, sie direkt in das Substrat einzubetten. Man spricht hier von *embedded components*.

2.1.1. Was ist ein SiP?

Die Ansichten, was der Begriff 'System in Package' genau umfaßt sind vielfältig. Von in Standard PCB-Technik aufgebauten Leiterplatten bis hin zu mehreren gestapelten und vergossenen Halbleiterchips (stacked dice) werden viele Aufbauvarianten als SiP bezeichnet. In dieser Arbeit soll folgende, aus [17] entlehnte Definition verwendet werden:

SiP (engl. System-in-Package) ist ein Integrationsansatz in der Mikroelektronik, der sich technisch zwischen monolithischer On-Chip-Integration (SoC) in einem Stück Silizium und der On-Board-Integration diskreter Bauelemente auf einer Leiterplatte (PCB) befindet: Ein oder mehrere Halbleiter-Chips (ICs, primär als Bare Dice), passive Bauelemente und weitere Komponenten (Optik, Sensorik, MEMS usw.) werden mittels fortschrittlicher Aufbau- und Verbindungstechnik (AVT) in einem Gehäuse/Package zu einem eigenständigen System vereint. Im Unterschied zu Multichip-Modulen (MCM), die planar aufgebaut sind und somit zu den elektronischen Flachbaugruppen gehören, läßt sich in einem SiP auch die vertikale Integration von Komponenten realisieren (3D, 2.5D SiP).



Quelle: [19]

Abbildung 2.2.: Beispiele für SiP mit verschiedenen Technologien

2.1.2. Bauformen / Packages

Nicht alle in Abbildung 2.1 auf Seite 19 dargestellten Techniken sind für SiPs relevant. Die Durchsteckmontage (THT) beispielsweise wird selbst bei der Fertigung von Standard-Baugruppen zunehmend durch Oberflächenmontage ersetzt. In SiPs, bei denen die Miniaturisierung einen hohen Stellenwert hat, ist sie bedeutungslos.

Die Gründe dafür sind vielfältig. Der Verdrahtungsträger kann beidseitig bestückt werden und die Bauelemente selbst nehmen eine geringere Fläche ein, da sie i.A. höher integriert sind als vergleichbare THT-Bauformen. Das ermöglicht nicht nur Baugruppen mit kleineren Abmessungen und geringerer Masse. Auch die HF-Eigenschaften der Schaltung verbessern sich. Hinzu kommt, ein erheblich geringerer Bestückungsaufwand [22, S.67ff].

Im Gegensatz zu THT-Bauformen nimmt die Bedeutung von Embedded Passives für SiP insgesamt zu. Sie sollen jedoch in dieser Arbeit ausgeklammert bleiben, da hier diskrete Bauelemente betrachtet werden. Prinzipiell ließe sich das in Kapitel 3 vorgeschlagene Modell jedoch für Embedded Passives erweitern. Für eine nähere Erläuterung sei auf den in Abschnitt 6.3 gegebenen Ausblick verwiesen.

Im Folgenden sollen daher drei Gruppen von Bauformen näher vorgestellt werden: *ungehäuste Halbleiter* (Nacktchips), *klassische SMT-Bauformen*, sowie ebenfalls mit SMT-Montagetechniken verarbeitbare, gehäuste Bauformen, mit flächiger Anschlußkonfiguration. Sie werden in [22] als *SMT-kompatible Packages* bezeichnet

SMT-Packages

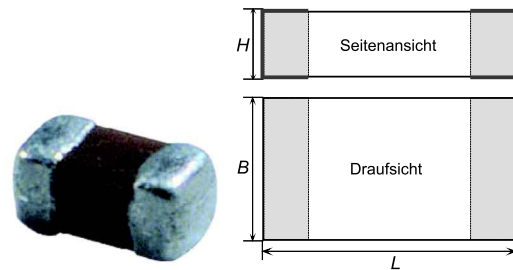
Bauelemente in SMT-Packages werden oft auch als SMD (engl: **s**urface **m**ounted **d**evice) bezeichnet. Es gibt sie in unterschiedlichsten Ausprägungen. Viele davon (SOT, SOP, ...) würden allein aufgrund ihrer Größe in miniaturisierten SiPs nicht direkt Verwendung finden. In der nun folgenden Übersicht tauchen sie trotzdem auf. Es wird analysiert, welche Bauformen für SiP relevant sind. Nicht von der Hand zu weisen ist außerdem die Tatsache, daß sich ein System-In-Package mit diesen – in der Industrie seit langem verwendeten – Packages messen lassen muß.

Noch relativ überschaubar sind die Bauformen der **passiven Bauelemente**, also der Widerstände, Kapazitäten und Induktivitäten. Sie sind meist quaderförmig und haben metallisierte Anschlußflächen an den Stirnseiten. Sie werden oft irreführend „Chip“-Bauformen genannt. Man spricht von Chip-Widerständen, Chip-Kondensatoren und Chip-Induktivitäten.

Tabelle 2.1.: Bezeichnungen und Maße verschiedener Chip-Bauformen

Name	L [mm]	B [mm]	H [mm]
01005	0,25	0,125	0,2
0201	0,5	0,25	0,3
0402	1,0	0,5	0,6
0603	1,6	0,8	1,0
0805	2,0	1,2	1,3
1206	3,2	1,6	

Daten aus [22]



Ihre Außenabmaße sind genormt [9]. Sie spiegeln sich in der vier- bzw. fünfstelligen Gehäusebezeichnung (manchmal als Size-Code bezeichnet) wieder. Die ersten zwei Ziffern geben dabei die Länge und die letzten zwei (bzw. drei) die Breite in 1/100 Zoll (10 mil) an. Tabelle 2.1 zeigt beispielhaft einige Abmaße. Dort ist auch die Höhe angegeben, wiewohl diese je nach Bauelement großen Schwankungen unterliegt. Während die lateralen Abmaße recht genau eingehalten werden, wird die Höhe vom Hersteller oft an die konkreten Anforderungen angepaßt. Genaue Abmaße und auch Toleranzen sind dann den jeweiligen Datenblättern des Bauelements zu entnehmen.



Abbildung 2.3.: Alternative SMD-Bauformen für Elektrolytkondensatoren

Kondensatoren mit großen Kapazitäten, vor allem Tantal- und Aluminium-Elektrolytkondensatoren im μF -Bereich, sind jedoch oft nur in abweichenden Bauformen verfügbar. Verbreitet sind hier quadratische und zylindrische Typen (Abbildung 2.3) mit Anschlußmetallisierung auf der Bodenfläche. Sie sind jedoch aufgrund ihrer Größe für SiPs nur am Rande interessant.

Komplizierter als bei den passiven Elementen wird die Situation bei diversen **Sonderbauformen**, die sowohl passive als auch aktive Elemente enthalten können. Zu nennen sind hier vor allem Sensoren, MEMS und Quarze, sowie LEDs und andere optische Bauelemente. Generell läßt sich beobachten, daß alle Bauelemente, deren Funktion über eine rein elektrische hinausgeht, nur wenig standardisiert sind. Abbildung 2.4 zeigt daher nur exemplarisch einige Vertreter.

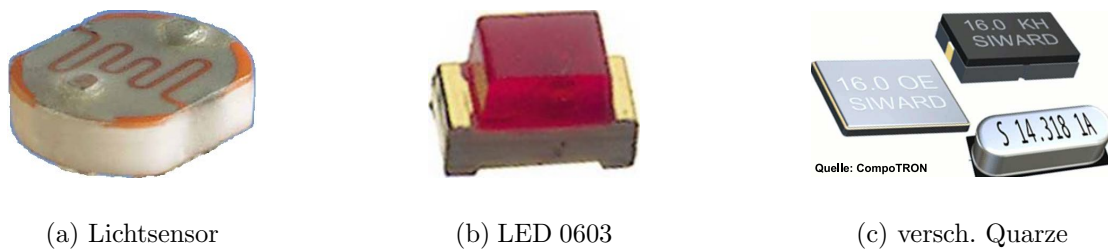


Abbildung 2.4.: Verschiedene SMD-Sonderbauformen

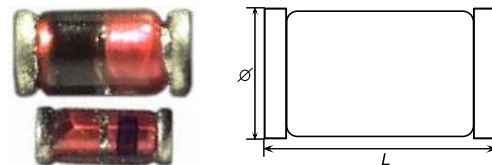
Bei den **Halbleiterbauelementen** kann man Einzelhalbleiter (Dioden, Transistoren, etc.) und Integrierte Schaltkreise unterscheiden.

Einzelne Dioden sind oft in zylindrischen Bauformen mit seitlicher Anschlußmetallisierung (engl: **Metal-Electrode-Faces**) zu finden. Auch für Metallschichtwiderstände wird diese Bauform gelegentlich verwendet. Je nach Größe (siehe Tabelle 2.2) spricht man von MELF, Mini-MELF oder Micro-MELF Typen.

Tabelle 2.2.: Maße verschiedener MELF-Bauformen

Name	\varnothing [mm]	L [mm]
Micro-MELF	1,1	2,2
Mini-MELF	1,4	3,6
MELF	2,2	5,8

Daten aus [22]



Für Einzelhalbleiter mit drei und mehr Anschlüssen kommen sogenannte SOT-Bauformen (SOT: **s**mall **o**utline **t**ransistor) zum Einsatz. Mit seinen Außenabmessungen von $2,9 \times 1,3 \text{ mm}^2$ (ohne Anschlußbeinchen) ist seine Bedeutung für miniaturisierte SiP gering.

Die klassischen SMT-Bauformen für **Integrierte Schaltkreise** bestehen aus einem flachen Gehäuse mit rechteckiger Grundfläche und seitlich herausgeführten Anschlußpins. Bei ICs werden jedoch sehr viel mehr Anschlüsse benötigt als bei Einzelhalbleitern. Laut der Rentschen Regel steigt deren Anzahl in etwa proportional mit der Zahl der integrierten logischen Gatter. Es gilt

$$n_{IO} = 2,5^k n_G \quad (2.1)$$

wenn n_{IO} die Zahl der benötigten Ein-/Ausgabe-Pins und n_G die Zahl der logischen Gatter angibt. k ist eine Konstante, zwischen 1,5 und 3,0 [22].

Tabelle 2.3.: Bezeichnung verschiedener Rastermaße bei SMT-Bauelementen

Bezeichnung:		Fine-Pitch (FP)				Ultra-Fine-Pitch (UFP)		
Pitch p [mm]:	1,27	1,0	0,8	0,63	0,5	0,4	0,3	0,25

Die steigende Integrationsdichte bei integrierten Schaltungen macht also immer mehr Anschlußpins erforderlich. Ein wichtiges Charakteristikum für IC-Packages ist daher der Abstand, in dem die Pins angeordnet werden können. Dieser Abstand – gemessen von der Mitte des ersten zur Mitte des nächsten Pins – wird auch als Rastermaß p (engl. pitch) bezeichnet. Tabelle 2.3 zeigt die bei SMT verwendeten Rastermaße und deren Bezeichnungen.

Tabelle 2.4.: Maße einiger auf SO und QFP basierender Bauelemente

Name	Pitch p	L	B	Dicke	Bemerkung
SOP20	1,27	12,8	10,3		SO: <i>small outline</i> (Anschlüsse an den Längstseiten)
SSOP36	0,5	9,7	4,4	1,6	S: <i>shrunked</i> (Raster 0,65/0,5/0,4; dünner; verringerte Breite)
TSSOP36	0,4	7,8	6,1	1,0	TS: <i>thin shrunked</i> (Dicke nur 1,0, Raster <0,5)
QFP80	0,63	14,0	14,0	3,05	QFP: <i>quad Flat pack</i> (Anschlüsse an allen vier Seiten)
FQFP80	0,5	12,0	12,0	2,9	F: <i>fine pitch</i> (Raster 0,4 – 0,5)
TQFP80	0,4	10,0	10,0	1,0	T: <i>thin</i> (Dicke nur 1,0 – 1,4)
UTQPF80	0,3	7,0	7,0	0,7	UT: <i>ultra thin</i> (Dicke nur 0,7 – 0,8)

Daten aus: [12, 13, 14]

Alle Zahlenwerte in mm.

Eine Übersicht verschiedener SMT-Typen zeigt Tabelle 2.4. Während bei den ersten SO- und PLCC-Packages noch ein Pitch von 1,27mm verwendet wurde, haben sich im Zuge fortschreitender Miniaturisierung die Abstände stetig verringert. Trotzdem sind auch die verkleinerten Formen für SiP-Integration kaum von Bedeutung und nur in seltenen Ausnahmefällen verwendbar.

SMT kompatible Packages (Area-Type)

Die Reduktion des Rastermaßes von klassischen SMT-Packages hat jedoch Grenzen. Bauformen mit einem Pinabstand von 0,3mm und weniger lassen sich nur noch unter Schwierigkeiten zuverlässig verarbeiten. Bereits geringe Verbiegungen der empfindlichen Beinchen genügen, um Fehlbestückungen zu verursachen [22].

Die Entwicklung geht daher – besonders bei hochpoligen Bauelementen – hin zu Packageformen, bei denen die Anschlüsse nicht mehr nur an den Seiten herausgeführt werden. Die Kontaktierung erfolgt stattdessen an der Unterseite des Bauelements. Dort sind die Anschlüsse flächig in Matrix-Form angeordnet, weshalb solche Bauformen auch als *Array-Type* oder *Area-Type* bezeichnet werden.

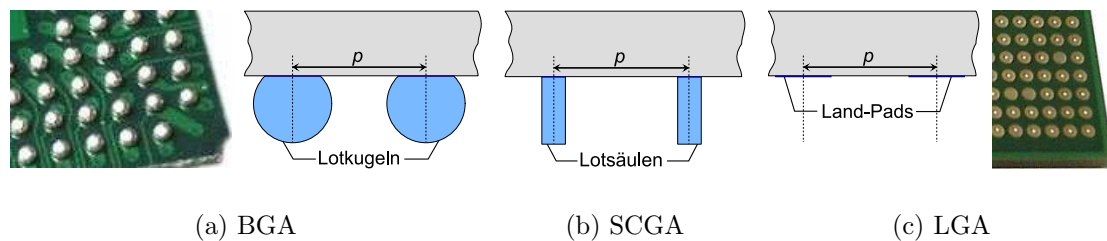


Abbildung 2.5.: Verschiedene Anschlußformen bei Array-Packages

Da die Anschlüsse meist als Lotkugeln (solder balls) ausgeführt sind (Abbildung 2.5a), spricht man von *BGA* (**ball grid array**). Es sind aber auch andere Formen wie *SCGA* (**solder column grid array**) oder *LGA* (**land grid array**) möglich.

BGAs existieren in vielfältigen Ausführungen. Die unterschiedlichen Größen und Anschlußmuster sind nach [10] standardisiert. Ein wichtiger Parameter für die Charakterisierung der einzelnen Typen ist (wie bei klassischen SMT-IC-Packages) das Rastermaß p , hier definiert als der Abstand zwischen den Mittelpunkten zweier Lotkugeln (siehe Tabelle 2.5). Bei einem Pitch von $<1,0\text{mm}$ spricht man von einem *Fine-Pitch-BGA* (FBGA). Bei noch kleineren Rastermaßen sind die Begriffe μBGA oder *Chip-Scale-Package* (CSP) gebräuchlich. Die Übergänge sind hier fließend. Nach JEDEC wird ein Package dann als CSP bezeichnet, wenn es nicht mehr als 20% größer ist als der verpackte Die [11].

Tabelle 2.5.: Bezeichnung verschiedener Rastermaße bei Array-Bauelementen

Bezeichnung:	Standard-BGA			Fine-Pitch-BGA				
	Chip-Scale-Package (CSP)							
Pitch [mm]:	1,5	1,27	1,0	0,8	0,75	0,65	0,5	<0,5

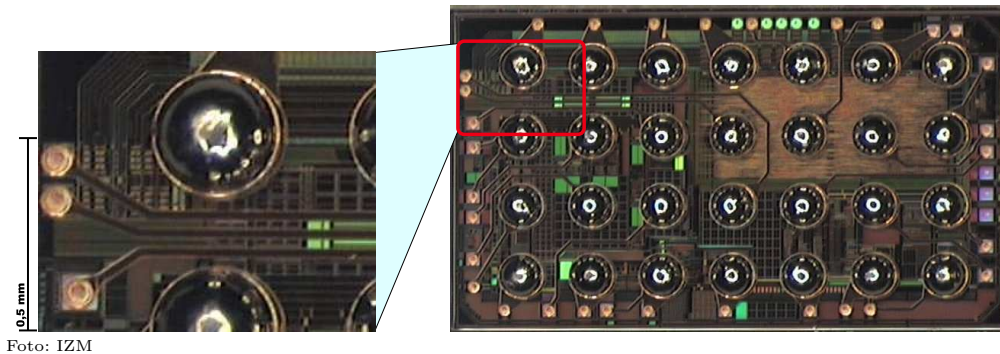


Foto: IZM

Abbildung 2.6.: Unterseite eines CSP (Chipcon CC1000)

Abbildung 2.6 zeigt die Unterseite eines CSP. Die Signale werden von den Bond-Pads (siehe nächster Abschnitt) abgenommen und über eine – hier transparente – Umverdrahtungslage (*redistribution layer*) auf die Lotkugeln geführt. Man erkennt gut, daß das Package nur unwesentlich größer ist als der Die selbst.

Ungehäuste Chips (Bare Dice)

Für noch extremere Miniaturisierungsanforderungen, wie sie bei SiP bestehen, bleibt jenseits des CSP nur noch das direkte Aufbringen des ungehäusten Halbleiters (Bare Die) auf den Schaltungsträger (Direktmontage). Abbildung 2.7 zeigt einen solchen Nacktchip stark vergrößert.

Die Ankontaktierung erfolgt über meist quadratische (seit Neuerem auch rechteckige oder oktagonale) Bond-Pads, die direkt auf das Silizium aufmetallisiert sind. Sie sind zwischen $0,5\mu\text{m}$ und $1,5\mu\text{m}$ dick (ein typischer Wert ist $0,7\mu\text{m}$), haben Kantenlängen zwischen $70\mu\text{m}$ und $100\mu\text{m}$ und bestehen meist aus Aluminium, das durch Sputtern aufgebracht wird [20]. Aluminium wird verwendet, weil es einen relativ niedrigen spezifischen Widerstand ρ_{Al} von nur $2,5\mu\Omega \cdot \text{cm}$ besitzt und gleichzeitig gut auf Siliziumoxid haftet (hohe Adhäsion). Zudem sind die so entstehenden Aluminium-Pads sowohl mit Gold- als auch mit Aluminiumdraht sehr gut bondbar.

Der Die ist in der Regel durch eine Passivierungsschicht (meist Siliziumoxid SiO_2) vor mechanischen oder chemischen Einflüssen von außen geschützt. Diese Schicht darf nicht dicker als ca. $1\mu\text{m}$ werden, um Rißbildung zu vermeiden.

An den Stellen, wo das Bond-Pad mit dem Silizium elektrisch leitend verbunden werden soll, muß diese Passivierung natürlich geöffnet werden. Die Öffnung wird so gestaltet, daß sie an jeder Seite etwa $5\mu\text{m}$ kleiner ist als das Al-Pad. Nimmt man für das Pad eine Kantenlänge von $70\mu\text{m} \times 70\mu\text{m}$ an, ergibt sich für die Passivierungsöffnung also eine Größe von $60\mu\text{m} \times 60\mu\text{m}$. In dem $5\mu\text{m}$ breiten Streifen

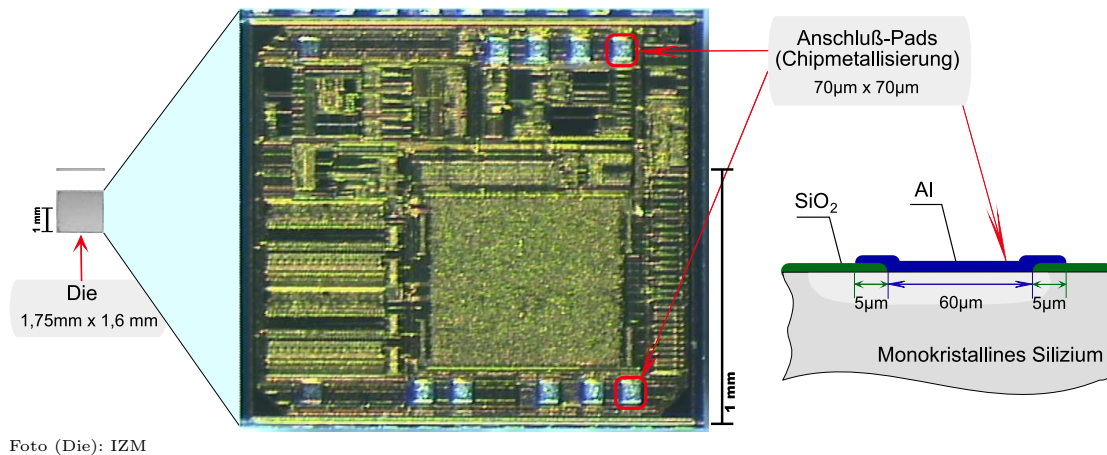


Abbildung 2.7.: Darstellung eines Nacktchips (Bare Die)

addieren sich die beiden Schichtdicken. Abbildung 2.7 (rechts) zeigt schematisch einen Schnitt durch ein Bond-Pad.

Fazit

Zusammenfassend läßt sich sagen, daß aufgrund der starken Miniaturisierungsanforderungen, die bei der Integration mehrerer Bauelemente in ein einziges Package bestehen, nur einige der vorgestellten Bauformen für SiP relevant sind.

Für Halbleiter sind das natürlich in erster Linie Bare Dice, aber auch die nur unwesentlich größeren SMT-kompatiblen CSPs. In Ausnahmefällen ist auch die Integration einiger besonders flacher TQFP- und TSSOP-Bauformen möglich. Höhere IC-Packages spielen dagegen kaum eine Rolle.

Die Area-Type Packages sind unter anderem auch deshalb für SiP interessant, weil das fertige System selbst in irgendeiner Art mit der Außenwelt kommunizieren muß. Als Interface dient hier oft ein BGA- bzw. CSP-artiges Anschlußraster.

Bei passiven Komponenten sind vor allem die besonders kleinen 01005- und 0201-Bauformen geeignet. Besondere Bauelement-Werte (hohe Kapazitäten etc.) können jedoch größere Packages (0402, 0603) erforderlich machen.

Trotz der damit verbundenen Herausforderungen läßt sich auch die Integration einiger Sonderbauformen nicht ganz vermeiden. Besonders Quarze werden benötigt, um dem System eine stabile Zeitbasis zur Verfügung zu stellen. Sollen äußere Einflüsse erfaßt werden, sind Sensoren erforderlich, die sich aufgrund der notwendigen Medien-Ankopplung (Licht-, Gas-, Temperatursensor) nicht beliebig miniaturisieren lassen bzw. durch ihren Aufbau (Druck- und Beschleunigungssensor als MEMS) eine gewisse Größe besitzen.

2.1.3. Substrate

Die im vorhergehenden Abschnitt besprochenen Bauelemente werden durch den Verdrahtungsträger miteinander zu einer Baugruppe verbunden. Laut [6, S.30] realisiert der Verdrahtungsträger „die elektrischen Verbindungen zwischen den Bauteilen durch flächenhafte oder drahtförmige Leiter auf einem isolierenden Substrat. Bei hohen Verdrahtungsdichten sind mehrschichtig oder mehrlagig aufgebaute Verdrahtungsträger erforderlich.“ Im Sprachgebrauch ist es jedoch weit verbreitet, den gesamten Verdrahtungsträger als Substrat zu bezeichnen. Es gibt verschiedene Möglichkeiten der Einteilung. Ein Ansatz nach [8, 6] ist die Unterscheidung in

- *laminierte Substrate*, die durch Verpressen von mehreren Lagen entstehen,
- *Dünnschicht-Substrate*, die durch Abscheiden (ggf. mehrerer) dünner Schichten auf einem Träger gefertigt werden und
- keramische Substrate.

Sowohl laminierte als auch Dünnschicht-Substrate sind jeweils in starren (rigiden) und biegsamen (flexiblen) Varianten verfügbar (siehe Abbildung 2.8).

Bei rigiden Dünnschicht-Substraten (Dünnschicht auf einem starren Träger) ist allerdings eine Rückseitenkontaktierung prinzipbedingt nur unter Schwierigkeiten möglich. Für die Realisierung der vertikalen Verdrahtung in gestackten 2,5D-SiP ist jedoch auf beiden Substratseiten eine Kontaktierung erforderlich (siehe Abschnitt 2.1.4). Für gefaltete SiP muß das Substrat wiederum flexibel sein. Daher werden rigide Dünnschicht-Substrate hier nicht verwendet.

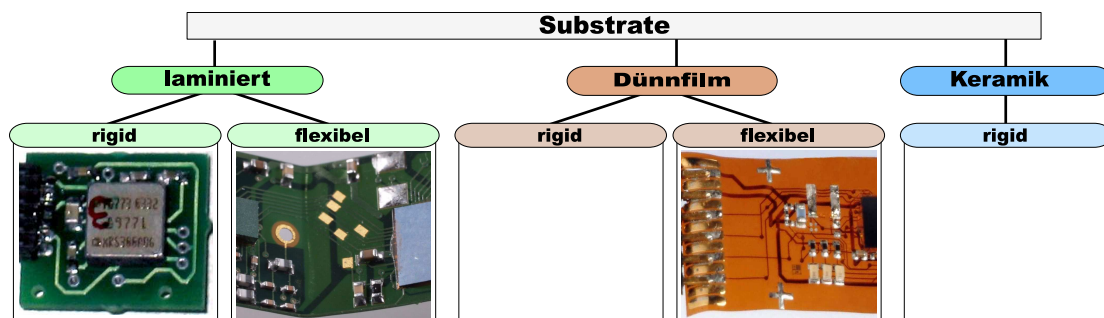


Abbildung 2.8.: Einteilung verschiedener Substrate

Neben den keramischen und den Dünnschichtsubstraten bieten sich dank massiver Fortschritte in der Leiterplattentechnik insbesondere die organischen, laminierten Substrate als eine preiswerte Integrationsgrundlage für SiP an [17]. Sie sollen daher im Folgenden näher betrachtet werden.

Zweilagige laminierte Substrate

Im einfachsten Fall besitzt ein laminiertes Substrat – im Folgenden nach [6] als Leiterplatte bezeichnet – eine bzw. zwei Verdrahtungslagen. Die Leiterplatte besteht dann lediglich aus einem Basismaterial (core), das auf einer bzw. beiden Seiten mit Metallfolie kaschiert ist (Abbildung 2.9). Diese kann durch ätzen, fräsen o.ä. strukturiert werden und dient dann als Verdrahtungslage (signal layer). Auf diese Weise entstehen sowohl Pads zum Ankontaktieren der Bauelemente-Anschlüsse (Substrat-Pads), als auch Leiterbahnen, welche diese Pads miteinander verbinden.

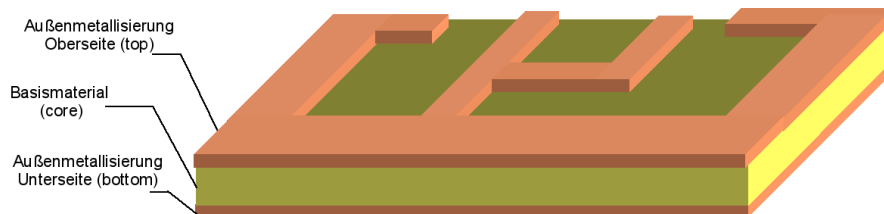


Abbildung 2.9.: Zweilagiges laminiertes Substrat

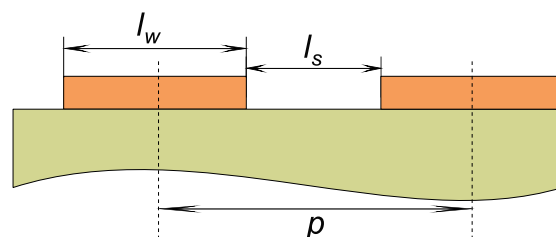
Wichtig für die Charakterisierung des Substrates ist, wie fein diese Strukturierung erfolgen kann. Die minimal erreichbare Strukturgröße hat unmittelbaren Einfluß darauf, mit was für Package-Typen das Substrat bestückt, und wie komplex die Verdrahtung werden kann. Als Parameter werden dazu die minimale Struktur- bzw. Leitungsbreite l_w (minimal line width) und der minimale Abstand zwischen zwei Leitungen l_s (minimal line space) angegeben.

Je nach erreichbaren Strukturgrößen kann man Leiterplatten in verschiedene Klassen einteilen, die unterschiedlich präzise Fertigungsverfahren fordern und damit unterschiedlich teuer sind. Tabelle 2.6 zeigt eine Einteilung nach [7].

Tabelle 2.6.: Einteilung von Substraten in Layoutklassen

Klasse	$l_w = l_s$ [μm]
Standard	≥ 200
Feinleiter	$\geq 180 < 200$
Feinstleiter	$\geq 150 < 180$
Mikrofeinleiter	$\geq 90 < 150$
Mikrofeinstleiter	$\geq 50 < 90$

Daten aus [7]



Analog zum Rastermaß bei Bauelementen (siehe Seite 2.1.2 in Abschnitt 2.1.2) definiert man auch bei Substraten den Pitch p als Abstand zwischen den Mittelachsen zweier Strukturen. In diesem Fall sind die Strukturen nicht Leads oder

Bond-Pads sondern zwei l_w breite Leiterbahnen mit minimalem Abstand l_s . Es gilt also

$$p = l_w + l_s$$

Bei rigiden Leiterplatten kommt als Basismaterial meist Hartpapier oder Glasgewebe zum Einsatz, das mit Harz (Phenolharz, Epoxidharz) als Bindemittel durchtränkt ist. Bei flexiblen Leiterplatten dient wegen der guten Temperaturbeständigkeit meist Polyimid als Basismaterial. Die Metallisierung ist fast immer aus Kupfer [7].

Mehrlagige laminierte Substrate

Sind mehr als zwei Verdrahtungslagen gefordert, werden von oben und unten weitere isolierenden Zwischenschichten (prepregs) aufgepreßt. Auf diese Prepreg-Schichten wird wiederum eine Metallisierung aufgebracht und ggf. strukturiert, um weitere Lagen zu bilden (siehe Abbildung 2.10).

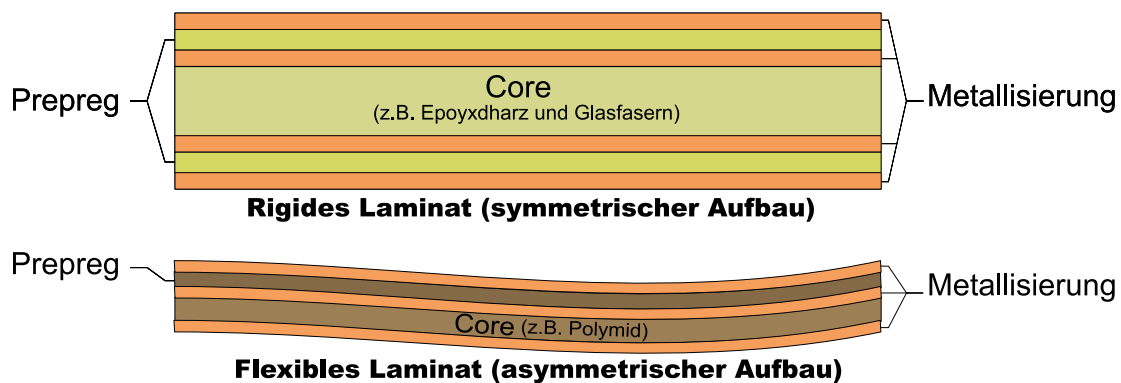


Abbildung 2.10.: Mehrlagige laminierte Substrate, rigid (oben) / flexibel (unten)

Die zusätzlichen Prepreg-Schichten können *symmetrisch* (immer eine ober- und eine unterhalb des Core) oder *asymmetrisch* aufgebracht werden. In der Regel wird bei rigiden Laminaten jedoch der symmetrische Aufbau bevorzugt, da so die Verbiegung durch unterschiedliche thermische Ausdehnungskoeffizienten minimiert wird [6, S.197]. Bei flexiblen Laminaten dagegen ist diese Verbiegung unproblematisch bzw. teilweise sogar erwünscht, so daß hier auch asymmetrische Konfigurationen verwendet werden.

Um die einzelnen Verdrahtungslagen (layer) miteinander zu verbinden, werden Durchkontaktierungen (Vias) hergestellt. Man unterscheidet *Throughhole-Vias* (die alle Lagen passieren), *Blind-Vias* (die eine Außen- und mehrere Innenlagen passieren) und *Burried-Vias* (die nur Innenlagen passieren). Auf die unterschiedlichen

Eigenschaften und Herstellungsverfahren der verschiedenen Via-Typen soll an dieser Stelle nicht weiter eingegangen werden. Sie sind für das in Kapitel 3 aufgestellte Modell nicht relevant, da dort die Verdrahtung nur indirekt berücksichtigt wird (siehe Abschnitt 3.4.2).

Oberflächenbeschichtung (Finish)

Die äußeren Metallisierungsschichten (Cu) des Substrates bleiben nur in den seltensten Fällen frei. In der Regel wird auf das stark korrosionsanfällige Kupfer eine Schutzschicht aufgebracht, die vor äußeren Einflüssen schützt.

Die Pads, auf die später die Bauelemente aufgebracht werden sollen, müssen weiterhin leitfähig bleiben. Daher werden für die Schutzschicht Metalle verwendet, die gegen Oxydation und Korrosion weniger anfällig sind als Kupfer. Häufig verwendet werden Gold *Au*, (Blei)Zinn (*Pb*)*Sn* oder Nickel *Ni*.

Die Art des Oberflächen-Finish bestimmt maßgeblich, welche Verbindungstechnik später zur Kontaktierung der Bauelemente angewendet werden kann. Tabelle 2.7 zeigt die gebräuchlichsten Beschichtungsverfahren und gibt die damit möglichen Verbindungstechniken an.

Tabelle 2.7.: Gebräuchliche Substrat-Oberflächenbeschichtungen

Name	Dicke [μm]	Material	Verbindungstechnik		
			Löten	Kleben	Drahtbonden
Heißverzinnung (HAL)	0,5–10	<i>Sn, Pb</i>	Ja	—	—
Flashgold (Chem. Nickel)	0,7–1,2	<i>NiP, Au</i>	Ja	Ja	Ja (Al-Draht)
Reduktivgold (Chem. Nickel)	0,4–0,6	<i>NiP, Au</i>	Ja	Ja	Ja (Au-Draht)
Galvanisch Gold	0,4–0,6	<i>NiP, Au</i>	Ja	Ja	Ja (Au-Draht)
Chemisch Zinn	$\geq 0,8$	<i>Sn</i>	Ja	Ja	—
Chemisch Silber	0,1–0,2	<i>Ag</i>	Ja	—	—

Quelle: [Andus]

Neben der bisher beschriebene Oberflächenbeschichtung für die Substratmetallisierung wird oft noch zusätzlich Lack auf das gesamte Substrat aufgebracht, um es zu schützen. Dieser *Lötstopplack* verhindert die Benetzung von Leiterbahnen und freien Isolationsflächen mit Lot und unterbindet so versehentliche Kurzschlüsse. Er verleiht den Leiterplatten ihre charakteristische hellgrüne Farbe. Lediglich die Pads zur Ankontaktierung der Bauelemente bleiben frei. Dort ist elektrischer Kontakt erforderlich.

2.1.4. Vertical Interconnects

Bei einer elektronischen Flachbaugruppe befinden sich alle Bauelemente in einer Ebene auf einem Substrat. Sämtliche Verdrahtung findet nur lateral statt.

Im Gegensatz dazu müssen die Bauelemente beim 2,5D-SiP potentiell über mehrere Ebenen hinweg verbunden werden. Die Elemente, die diese vertikale Verdrahtung realisieren, also die elektrischen Verbindungen herstellen, werden auch als *vertikale Verbinder* oder *vertical interconnects* (VICs) bezeichnet.

Es existieren verschiedenste Varianten von vertikalen Verbindern. Neben den klassischen Steckverbindern, die sich nur ungenügend miniaturisieren lassen und daher in SiPs keine Anwendung finden, sind typische Vertreter unter anderem

- **Solder-Bump-Verbinder**, bei denen aufgeschmolzene Lotkugeln die vertikalen Verbindungen bilden,
- **Flexible Verbinder**, bei denen das (flexible) Substrat selbst gefaltet wird, so daß vertikale Verbindungen durch normale Leiterbahnen realisiert werden können,
- **Drahtbond-Verbinder**, bei denen die Verbindungen durch feine Bonddrähte hergestellt werden, deren Ende auf der oberen und auf der unteren Ebene ankontaktiert sind.

Die Verbindung durch Drahtbonden wird in erster Linie beim Stapeln mehrerer Nacktchips (die *stacking*) angewendet. Da der Schwerpunkt dieser Arbeit im Bereich der *heterogenen* Systemintegration liegt (siehe Aufgabenstellung auf Seite 16), sollen im Folgenden jedoch vor allem Solder-Bump- und Flex-Verbinder näher betrachtet werden. Abbildung 2.11 zeigt schematisch die drei VIC-Technologien.

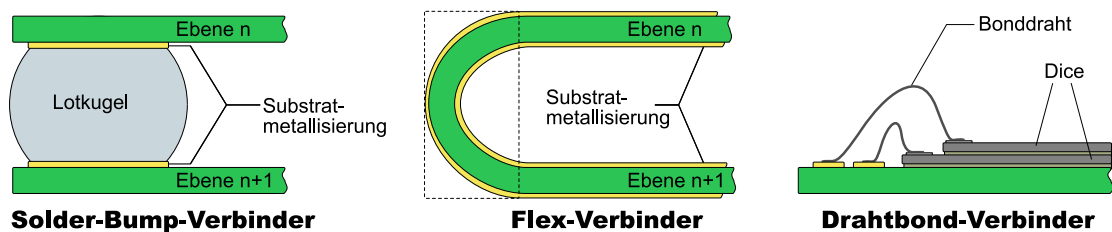
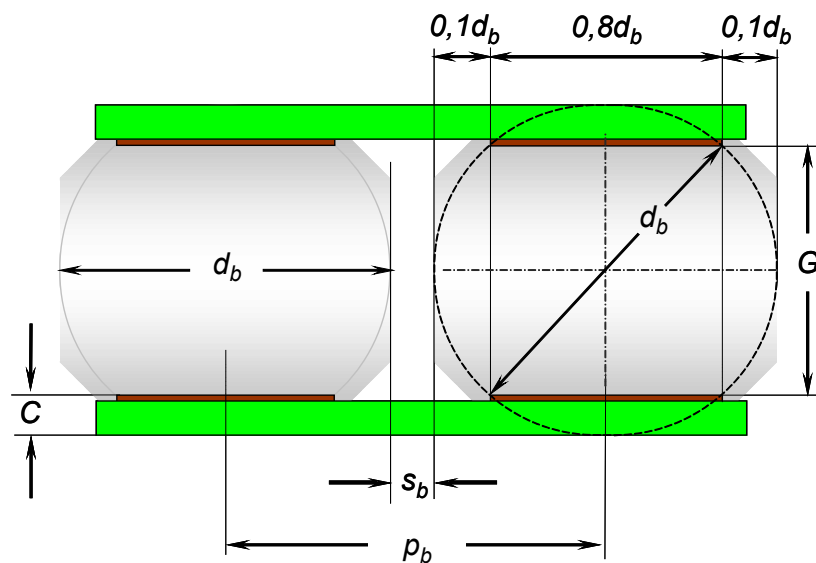


Abbildung 2.11.: Schematische Darstellung verschiedener VIC-Technologien

Solder-Bump-Verbinder

Zur Realisierung eines Solder-Bump-VICs zwischen zwei Substraten wird sowohl auf dem Bottom-Layer des oberen Substrates, als auch auf dem Top-Layer des unteren Substrates ein Anschlußpad aufmetallisiert. Anschließend wird zwischen den beiden Pads eine Lotbrücke hergestellt. Dies geschieht zum Beispiel, indem man eine Lotkugel zwischen die Pads bringt und aufschmilzt. Es entsteht eine tonnenförmige Lotverbindung,

Eine exakte Vorhersage der entstehenden Form (*shape prediction*) ist kompliziert. Sie hängt von vielfältigen Material- und Umgebungsparametern ab. Laut [17] lassen sich jedoch einige vereinfachte Zusammenhänge ableiten.



Quelle: [17]

Abbildung 2.12.: Abschätzung des Durchmessers eines Solder-Bump

Nähert man die Form als Kugel mit abgeflachter Ober- und Unterseite an (Abbildung 2.12), so hängt deren Durchmesser d_b unter anderem von dem zu überbrückenden Spalt G (gap) zwischen den Substraten ab. Nach [17] läßt sich dieser Zusammenhang linear approximieren. Es gilt

$$d_b(G) \approx 1,7G \quad (2.2)$$

Um Kurzschlüsse zu vermeiden, müssen die Lotkugeln außerdem einen gewissen Abstand s_b zueinander einhalten. Anders ausgedrückt muß der Pitch p_b , also der Abstand der Lotkugelmittelpunkte mindestens $p_b = s_b + d_b$ betragen.

Die Mindestabstände sind in [10] gegeben und lassen sich nach [17] ebenfalls linear zu

$$s_b(G) \approx 1,3G \quad (2.3)$$

annähern, so daß sich für den Pitch mit Gleichung 2.2 und 2.3 die Abhängigkeit

$$p_b(G) = s_b(G) + d_b(G) \approx 3G \quad (2.4)$$

ergibt. Das linke Diagramm in Abbildung 2.13 zeigt zur Veranschaulichung die sowohl für den Ballabstand als auch für den Pitch jeweils die minimalen und maximalen Werte samt linearer Approximation.

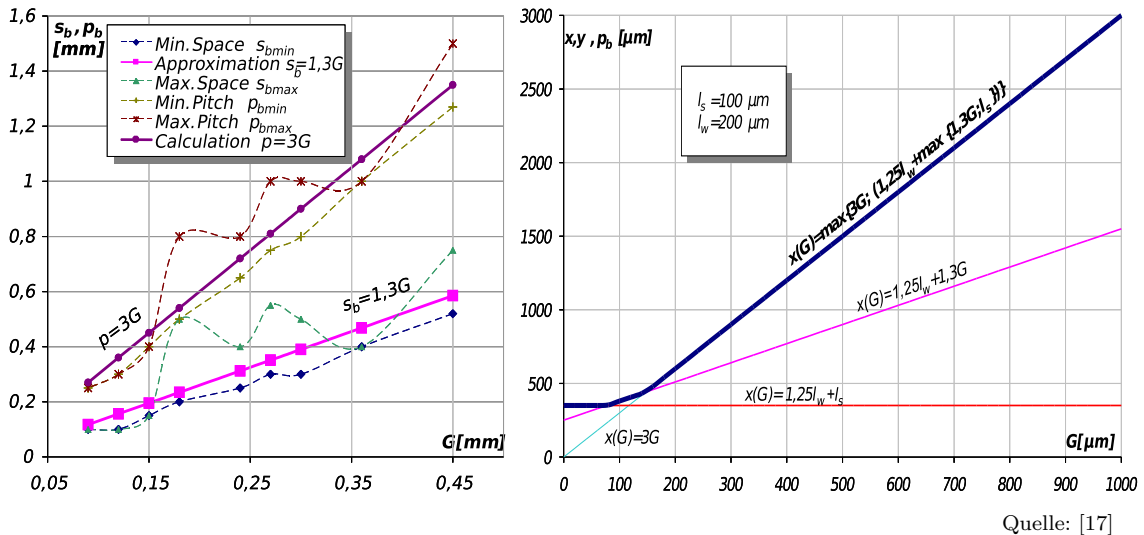


Abbildung 2.13.: Lotkugelabstand s_b und Pitch p_b bei Solder-Bumps

Nähert sich der Lotkugeldurchmesser der minimalen Strukturgröße der Substratmetallisierung, verliert Gleichung 2.4 ihre Gültigkeit. Der Pitch p_b der Solder-Bumps ist nun nicht mehr vom Substratabstand G , sondern nur noch von der minimalen Strukturbreite l_w und dem minimalen Strukturabstand l_s des Substrates abhängig. In diesem Fall gilt

$$p_b = 1,25 \cdot l_w + l_s \quad (2.5)$$

wenn man einen Sicherheitsaufschlag von $\frac{1}{4}l_w$ mit einbezieht, um eventuell seitlich austretendes Lot zu berücksichtigen.

Allgemein ergibt sich also für den Pitch zwischen zwei Solder-Bumps der in [17] angegebene und im Diagramm 2.13 (rechts) dargestellte vereinfachte Zusammenhang von

$$p_b(G) = \max \{3G; (1,25 \cdot l_w + \max \{1,3G; l_s\})\} \quad (2.6)$$

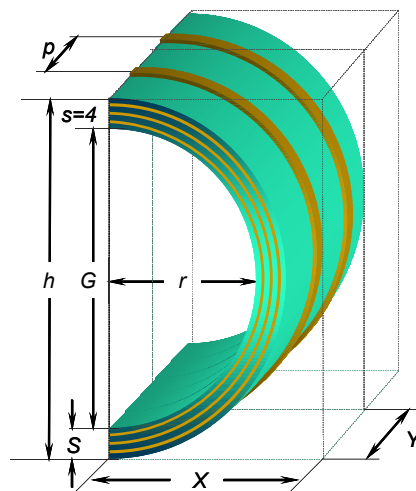
Allen diesen Vereinfachungen liegt jedoch die Annahme zugrunde, daß die maximale Tragfähigkeit der Bumps nicht überschritten wird. Dies muß beim Design des SiP zunächst sichergestellt sein (beispielsweise indem die Bauelemente das Gewicht der einzelnen Ebenen tragen), wenn man die Abschätzung aus Gleichung 2.6 verwenden möchte.

Flexible Verbinder

Bei einem Flex-Verbinder werden zwei Ebenen durch ein flexibles Substrat (siehe Abschnitt 2.1.3) verbunden. Die elektrische Verbindung wird durch die auf diesem Substratstück verlaufenden Leitungen realisiert.

Die Leitungen können auch bei großen Substratabständen sehr eng (im Abstand von $p = l_w + l_s$) und ggf. sogar in mehreren Lagen übereinander verlaufen. Im Gegensatz zu Solder-Bumps ist es mit Flex-Verbindern also möglich, sehr viele Signale auf engem Raum von einer Ebene auf die Andere zu führen. Die vertikale Verdrahtungsdichte kann sehr groß werden.

Das die Verbinder zwischen den Ebenen flexibel sind bedeutet nicht notwendigerweise, daß auch die Ebenen selbst durch flexibles Substrat gebildet werden. Sie können durch Versteifung auch rigid gemacht werden. Diese – als Starrflex bezeichnete Variante kombiniert die Vorteile der starren Leiterplatten (mechanische Stabilität, einfachere Bestückung der Bauelemente, leichtere Handhabung) mit denen der flexiblen Verbindungsmöglichkeit.



Quelle: [17]

Abbildung 2.14.: Gefaltetes Flex-Segment mit Bemaßung

Der Flex-Verbinder kann den gleichen Aufbau wie die obere und untere Substratebene haben. In diesem Fall ist das Substrat schlicht gefaltet. Es ist aber auch möglich, die Verbindungsstücke dünner (also z.B. mit weniger Signallagen) auszuführen, was sich positiv auf den minimalen Biegeradius r_{min} auswirkt. Dies gibt wiederum vor, wie klein der Abstand zwischen den Ebenen werden kann. Je enger der Bogen ist, in dem der Flex-Verbinder gefaltet werden kann, desto kleiner kann auch G werden (siehe Abbildung 2.14).

Der minimale Biegeradius hängt entscheidend davon ab, wie dick die einzelnen Lagen des zu biegenden Substrates sind. Die genaue Bestimmung des Biegeradius erfordert komplexe mechanische Berechnungen. Nach [17] läßt er sich jedoch zu

$$r_{min} = d_{basis} \left(\frac{E_b (\alpha - 1) + 100\alpha}{E_b} \right) - d_1 \quad (2.7)$$

approximieren. Dabei steht d_{basis} für den Abstand der beiden äußeren Metallisierungslagen. Es ergibt sich für ein mehrlagiges Substrat zu

$$d_{basis} = \sum_{i=1}^s c_i + \sum_{i=1}^{f-1} d_i \quad (2.8)$$

wenn s die Anzahl der Signallagen und c_i deren jeweilige Dicke darstellt. f ist die Anzahl der nicht leitenden Lagen, von denen jede die Dicke d_i besitzt.

Der Faktor α kann zwischen 0 und 1 liegen und beschreibt die Position der neutralen (spannungsfreien Achse). Für eine mittlere Position kann er mit 0,5 angenommen werden. E_b ist ein prozentualer Deformationsfaktor für die Metallisierung. Er beschreibt die zulässige Verformung durch Zugbelastung. Ist nur eine einfache Biegung gefordert, gilt für Kupfer $E_b \approx 16\%$. In diesem Fall ergibt sich für den minimalen Biegeradius

$$r_{min} = d_{basis} \left(\frac{16 \cdot (0,5 - 1) + 50}{16} \right) - d_1 = 2,625 \cdot d_{basis} - d_1 \quad (2.9)$$

Die Höhe des VIC ergibt sich nach [17] aus dem minimalen Radius und der Substratdicke zu

$$h_{VIC} = \begin{cases} 2(r_{min} + S) & |G \leq 2r_{min} \\ G + 2S & |G > 2r_{min} \end{cases} \quad (2.10)$$

für die Breite des Verbinders (x-Ausdehnung siehe Abbildung 2.14) gilt

$$x = \begin{cases} r_{min} + S & |G \leq 2r_{min} \\ \frac{G}{2} + S & |G > 2r_{min} \end{cases} \quad (2.11)$$

2.1.5. Montagetechnik / Verbindungstechnik

Bei der Montage der Bauelemente auf den Substraten, müssen elektrisch leitende Verbindungen zwischen diesen hergestellt werden. Bei den hier betrachteten oberflächenmontierbaren Bauelementen handelt es sich um stoffschlüssige Verbindungen zwischen den Bauelement-Anschlußpads und der obersten Substratmetallisierung. Eine zusätzliche formschlüssige Komponente existiert in der Regel – anders als bei der Durchstecktechnik (THT) – nicht.

Für die Kontaktierung kann entweder ein Fügemitel (Lot, Kleber) verwendet werden, oder die Verbindung wird durch preßschweißen hergestellt (bonden). Für jede dieser Techniken existieren unterschiedliche Verfahren. Häufig angewandte Lötverfahren sind z.B. das Wellenlöten und das Reflow-Löten. Bei den Klebverfahren wird in der Mikroelektronik (neben dem nichtleitenden Kleben, daß ausschließlich zum mechanischen Verbinden der Elemente dient) hauptsächlich das anisotrop- und isotrop-leitende Kleben verwendet.

Von all diesen vielfältigen Verfahren sollen im Folgenden jene beschrieben werden, die auch in der im Abschnitt 5.1 vorgestellten Referenzschaltung zum Einsatz kommen: das bei SMD-Elementen häufig eingesetzte Reflow-Löten und das anisotrope Kleben von Flip-Chips. Es werden vor allem die Aspekte beleuchtet, welche für die Modellierung in Abschnitt 5.2 relevant sind.

Reflow-Löten

Beim Reflow Löten wird zunächst Lotpaste auf die zu bestückenden Substratpads aufgebracht. Dies geschieht entweder simultan durch eine Schablone bzw. ein Sieb (Lotpastendruck) oder einzeln mit Hilfe eines Dispensers.

Auf die so entstandenen Lotdepots werden dann die Bauelemente gesetzt. Durch die adhäsive Wirkung der Paste sind sie dort zunächst fixiert. Im Bedarfsfall können sie mit Hilfe von nichtleitendem Kleber auch noch zusätzlich befestigt werden. Anschließend wird der gesamte Schaltungsträger inklusive Bauelementen in mehreren Phasen erhitzt, so daß die Lotdepots aufschmelzen. Das Lot stellt dabei eine metallurgische Verbindung zwischen den Substratpads und den Bauelementanschlüssen her, die sowohl mechanisch stabil, als auch elektrisch leitfähig ist.

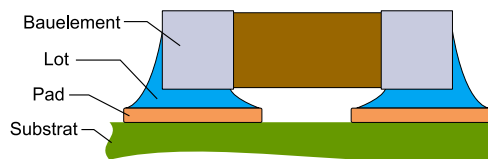


Abbildung 2.15.: Verlöteter SMD-Zweipol

Die Pads der Substratmetallisierung müssen stets etwas größer als die bauelementseitigen Kontaktierungsflächen ausfallen (siehe Schema in Abbildung 2.15). Durch die Adhäsion des Lotes entsteht – abhängig vom Benetzungswinkel – ein Lotanstieg an den Anschlußseiten. Auch zwischen Substrat- und Bauelementmetallisierung entsteht eine dünne Lotschicht.

Anisotrop leitendes Kleben

Das anisotrope Kleben wird auch als *anisotropic conductive adhesive* (ACA) bezeichnet. Es kommt vorwiegend bei der Montage ungehäuster Halbleiter in Flip-Chip-Technik zum Einsatz. Eine schematische Darstellung, sowie ein Schliff einer ACA-Verbindung sind in Abbildung 2.16 zu finden.

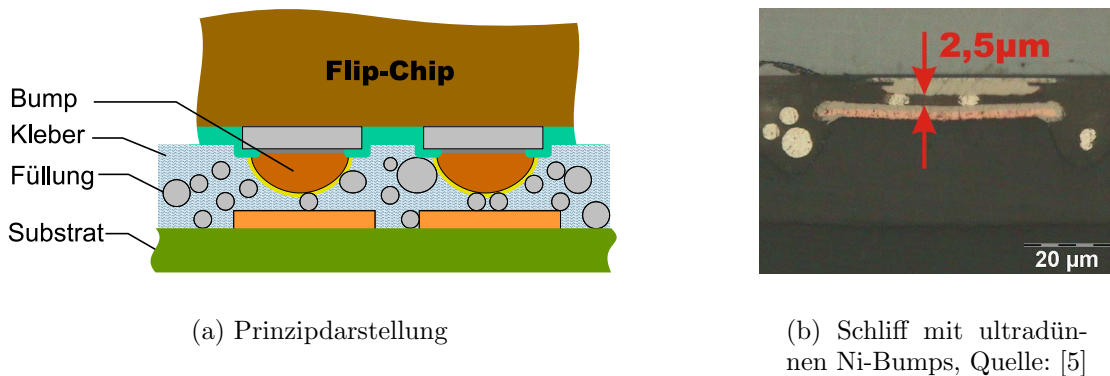


Abbildung 2.16.: Anisotrop leitendes Kleben (ACA)

Verwendet wird ein Kleber, der mit kleinen leitfähigen Partikeln z.B. aus Silber, Gold oder metallbeschichteten Kunststoffkugeln gefüllt ist. Der Grad der Füllung ist so eingestellt, daß der Kleber zunächst in keiner Richtung elektrisch leitet.

Auf den Bondpads des zu kontaktierenden Halbleiters werden als Erstes Bumps aus hochschmelzendem Material (z.B. Nickel) aufgebracht. Beim Kleben des Chips auf das Substrat klemmen sich dann einige der Füllungspartikel zwischen das Substratpad und den gegenüberliegenden Bump. Das ermöglicht einen elektrischen Ladungstransport zwischen den beiden Kontaktflächen. Der Kleber wird in einer Richtung (anisotrop) leitend. Nach dem Aushärten (Vernetzen) sind die Partikel zwischen den Flächen mit einem gewissen Druck fixiert und stellen so eine dauerhafte Leitfähigkeit sicher [20].

2.2. ECAD-Arbeitsabläufe und Formate

Die vertikale Integration von Baugruppen in 2,5D-Technik benötigt im Prinzip neuartige, auf 3D Bauformen zugeschnittene Entwurfswerkzeuge und -methoden. Trotzdem ist natürlich eine Integration in bestehende Arbeitsabläufe nötig. Schaltpläne liegen in bestimmten Formaten vor, Fertiger erwarten vorgegebene Eingangsformate etc. Der folgende Abschnitt soll deshalb einen kurzen Überblick über heutige 2D-Entwurfsabläufe und häufig verwendete Dateiformate geben.

Zunächst wird die Topologie der Schaltung (welche Bauelemente sind wie miteinander verbunden) im Schaltplan festgelegt. Dafür existieren verschiedenste Werkzeuge (z.B. *Capture* von CADENCE oder *Eagle-Schematic* von CADSOFT). Anschließend wird der Schaltplan als sogenannte *Netzliste* exportiert.

Weit verbreitet ist dafür EDIF 2 0 0 (Electronic Design Interchange Format). Es enthält im Wesentlichen eine Liste der Bauelemente mit zugehörigen Anschlüssen (Ports) und eine Liste von Netzen (daher der Name). Jedes Netz enthält eine Menge von Ports, die miteinander verbunden sein sollen [26].

Ab hier beginnt der physikalische Entwurf. Ausgangsbasis ist stets eine Netzliste. Ziel ist ein fertiges Design des Schaltungsträgers. Zum Erstellen des Layouts können unterschiedliche Programme verwendet werden. Für einfaches Leiterplattendesign kommt oft *Eagle-Layout* (CADSOFT) oder auch *OrCAD-Layout* (CADENCE) zum Einsatz. Für anspruchsvollere Aufgaben eignet sich *Allegro* (CADENCE), *CR500* (ZUKEN) oder *PCB-Expedition* (MENTOR). Speziell für den Entwurf von Packages wurde der *Advanced Package Designer* (CADENCE) entwickelt. Eine Sonderstellung nimmt *Nextra* (MECADTRON) ein. Hier erfolgen Platzierung und Routing bereits dreidimensional. Es ist jedoch nicht speziell auf SiP ausgelegt.

Die Netzliste enthält alle Bauelemente nur als Schaltungssymbole. Es ist noch keinerlei Information über deren Form enthalten. Beim Import wird daher jedem Bauelement ein sog. *Footprint* zugewiesen. Er enthält (ausschließlich zweidimensionale) Informationen über das Package. Für jedes Pad sind dort Flächen für Substratmetallisierung, Lötstoplack, Lotpaste, etc. definiert. Leider existiert für solche Footprints noch kein allgemein akzeptiertes Format. Jeder Hersteller verwendet eigene Bibliotheken.

Die einzelnen Footprints liegen zunächst vollkommen ungeordnet vor. Elektrische Verbindungen sind durch direkte Linien (*Airwires* oder Ripup-Nets) zwischen den Pads symbolisiert. Es muß also in mehreren Schritten eine Aufteilung nach funktionalen Gruppen (*Partitionierung*), dann eine Positionierung der Bauelemente auf dem Substrat (*Platzierung*) und schließlich eine Umwandlung der Airwires in kreuzungsfrei verlegte Leiterbahnen (*Feinverdrahtung*) erfolgen. Dabei sind – je nach eingesetzter Technologie – unterschiedliche Regeln (*Design-Rules*), z.B. für die Breite von Leiterbahnen und den Mindestabstand zwischen Leiterbahnen, Bauelementen, Durchkontaktierungen (Vias) etc. zu beachten [17]. Das erstellte Design wird schließlich zur Fertigung übergeben. Als universelles (jedoch zweidimensionales) Austauschformat ist hier das Gerber-Format etabliert.

Der Feinverdrahtungs- oder auch Routing-Schritt wird oft mit Unterstützung automatischer Werkzeuge (*Autorouter*) durchgeführt, auch wenn – bedingt durch die sehr hohe algorithmische Komplexität dieser Aufgabe – die Ergebnisse oft suboptimal sind.

Kapitel 3.

Entwicklung des Modells

Bevor es daran geht, die in Abschnitt 2.1 dargelegten Komponenten zu modellieren, muß zunächst geklärt werden, welche Anforderungen an das Modell zu stellen sind. Was soll es leisten und was nicht? Was muß unbedingt berücksichtigt werden, und welche Aspekte können bzw. müssen vernachlässigt werden?

In den auf die Analyse folgenden Abschnitten dieses Kapitels werden dann die einzelnen Teilaspekte des Modells der Reihe nach entwickelt und vorgestellt. Die praktische Anwendung der hier erarbeiteten Zusammenhänge ist Gegenstand der Kapitel 4 und 5.

3.1. Anforderungsanalyse

SiP-Bestandteile

Entstehen soll ein *geometrisches* Modell, daß es ermöglicht, sowohl die physikalischen Komponenten eines 2,5D SiP als auch deren Topologie (d.h. die elektrischen Verbindungen untereinander) zu erfassen. Berücksichtigt werden müssen also:

- die *Bauelemente*, die im SiP enthalten sind,
- die *Substrate* als Träger der Bauelemente, die diese auf den einzelnen Ebenen gruppieren,
- die *Netze*, die Verbindungen der Bauelemente untereinander definieren,
- sowie die *vertikalen Verbinder* (VIC: vertical interconnect), welche die einzelnen Ebenen elektrisch verbinden und für mechanische Stabilität sorgen,

Ziel ist jedoch nicht – wie im 1. Kapitel ausführlich dargelegt – eine besonders originalgetreue und feingliedrige Darstellung, die möglichst exakt der Realität

entspricht. Es soll vielmehr möglich werden, auf Basis dieses Modells mit Hilfe von Optimierungsalgorithmen realisierbare Platzierungsvorschläge für verschiedene Aufbau- und Verbindungstechniken zu erstellen und diese miteinander zu vergleichen.

Damit dieses komplexe Optimierungsproblem im 2,5D-Raum mit vertretbarem Aufwand lösbar ist, muß die Darstellung gezielt vergrößert werden. Dabei darf natürlich nicht soweit abstrahiert werden, daß Eigenschaften vernachlässigt werden, welche die Platzierungsergebnisse signifikant beeinflussen.

Technologieabhängigkeit

Das bedingt natürlich, daß neben den oben genannten Komponenten auch die Aufbau- und Verbindungstechnik mit erfaßt wird, da diese bei den hier betrachteten Größenordnungen einen erheblichen Anteil am Volumen des Gesamtsystem ausmacht (siehe Abschnitt 1.1).

Die Wechselwirkungen zwischen den einzelnen Komponenten, der AVT und der sich ergebenden Geometrie sind jedoch recht komplex. So hängt z.B. der maximal zulässige Substrat-Pitch vom kleinsten Pad-Abstand innerhalb eines Bauelements ab. Dieser Pitch bestimmt zusammen mit der gewählten Verbindungstechnologie, wie eng die Bauelemente aneinander gerückt werden können und damit auch ihre Verteilung über die Ebenen. Die Verbindungstechnik ist jedoch wiederum vom Substrat (und auch vom jeweiligen Bauelement) abhängig. Zudem bestimmt der Abstand zwischen den Ebenen den Platzbedarf für die vertikalen Verbinder, was wiederum Auswirkungen auf die Bauelementeanordnung hat.

Ein wesentlicher Punkt den das Modell leisten muß ist also, diese komplexen Abhängigkeiten so zu entflechten und aufzubereiten, daß sie für den Computer verarbeitbar werden. Gleichzeitig soll die Modellierung so flexibel bleiben, daß verschiedenste Aufbau- und Verbindungstechniken berücksichtigt werden können. Der Autor erhebt jedoch ganz ausdrücklich **nicht** den Anspruch, sämtliche bestehenden und eventuell noch kommenden AVTs explizit zu modellieren. Vielmehr soll ein Rahmen geschaffen werden, in den neue Technologien ohne Schwierigkeiten eingefügt werden können.

Elektrotechnische Nebenbedingungen

Nicht jede mögliche Platzierung der Bauelemente macht aus elektrotechnischer Sicht Sinn. Es muß zusätzlich möglich sein Regeln und Verbote (Constraints) zu definieren, die elektrotechnische Nebenbedingungen ausreichend genau abbilden, um die Funktionalität, Testbarkeit und auch die Realisierbarkeit der entstehenden SiP-Entwürfe sicherzustellen.

3.2. Packagebeschreibung

Um ein Bauelement räumlich platzieren zu können, müssen mindestens folgende Daten gegeben sein: ausreichend genaue Angaben zu Form und Abmessungen, Informationen darüber, an welchen Stellen das Bauelement kontaktiert werden darf und Angaben zu eventuellen, von der AVT-abhängigen Zusatzräumen, die um das Element herum reserviert werden müssen.

Nicht jedes Bauelement hat eine komplett andere Form und Anschlußgeometrie. Es existieren verschiedene standardisierte Packages, die beides vorgeben (siehe Abschnitt 2.1.2). Es genügt daher, die verschiedenen Packages zu beschreiben und dann den einzelnen Bauelementen zuzuweisen. Die Menge der Packages wird im Folgenden mit M_P bezeichnet.

Auch Bare-Dice werden in diesem Zusammenhang als Package bezeichnet, obwohl es sich bei ihnen selbstverständlich um ungehäuste (unpacked) Bauelemente handelt (siehe Abschnitt 2.1.2). Der Begriff ist hier mehr im Sinne von „Bauform“ zu verstehen.

Welche Daten aus den Packages extrahiert und wie diese im Modell repräsentiert werden, soll Thema dieses Abschnitts sein.

Die AVT-bedingten Zusatzräume können nicht einfach mit in die Packagebeschreibung aufgenommen werden. Sie sind von der jeweils benutzten Technologie (d.h. vom Substrat und der Art der gewählten Verbindungstechnik) abhängig und werden daher nicht pro Package sondern pro Bauelement angegeben. Diese Aspekte werden ausführlich in Abschnitt 3.4.1 diskutiert.

3.2.1. Basisgeometrie

Wie in Abschnitt 2.1.2 dargelegt, existiert – selbst wenn man THT-Elemente und Embedded Components unberücksichtigt läßt – eine nahezu unüberschaubare Vielfalt von verschiedenen Packages und Bare Dice. Die genaue Modellierung aller möglichen Formen wäre also ein sehr aufwändiges Unterfangen.

Hinzu kommt, daß komplizierte Formen bei der Anordnung der Elemente viele zusätzliche Freiheitsgrade bieten. Der Rechenaufwand für eine automatische Platzierung steigt damit erheblich. Diese Freiheitsgrade werden jedoch in der Praxis nicht ausgenutzt. Natürlich ist es theoretisch möglich, einen kleinen 0201-Widerstand ein Stück unter einen zylinderförmigen MELF-Kondensator zu rücken. Praktisch ist der zu erzielende Gewinn in Form von z.B. einem geringeren Volumen des Gesamtsystems oder einer kürzeren Verdrahtungslänge jedoch so gering, daß die zusätzlichen Schwierigkeiten bei Bestückung und Test ein solches Vorgehen verbieten.

Basisquader

In dieser Arbeit werden daher sämtliche Packageformen durch einen umhüllenden Quader – im folgenden als *Basisquader* (BQ) bezeichnet – spezifiziert. Dieser umschließt das komplette Package inklusive eventueller Pins (z.B. bei QFP) oder Anschlußpads (z.B. bei LGA) oder Lotkugeln (z.B. BGA).

Der Basisquader enthält gleichzeitig die eventuell auftretenden Fertigungstoleranzen $\pm\Delta x_{tol}$, $\pm\Delta y_{tol}$ und $\pm\Delta z_{tol}$. Die Abmessungen ergeben sich also zu

$$\begin{aligned} x_{BQ} &= |x_{max} - x_{min}| + \Delta x_{tol} \\ y_{BQ} &= |y_{max} - y_{min}| + \Delta y_{tol} \\ z_{BQ} &= |z_{max} - z_{min}| + \Delta z_{tol} \end{aligned} \quad (3.1)$$

wenn der Betragsterm die Länge der Projektionsstrecke des Packages auf die entsprechende Koordinatenachse angibt (siehe Abbildung 3.1. Durch die grundsätzliche Annahme der maximal möglichen Fertigungstoleranzen ist sichergestellt, daß sich die Bauelemente selbst im ungünstigsten Fall nicht überschneiden.

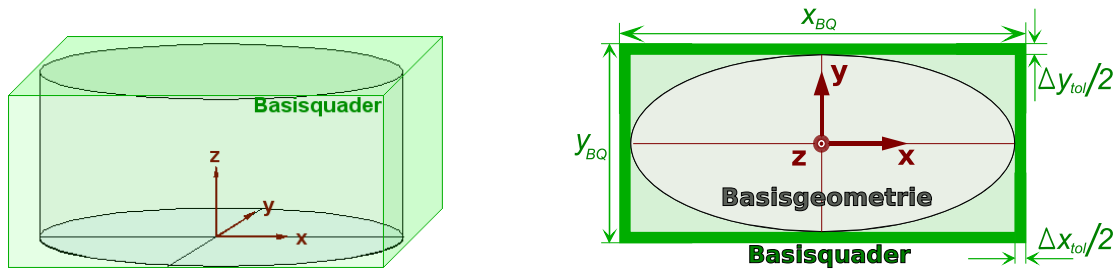


Abbildung 3.1.: Basisquader

Damit ist die thermische Ausdehnung der Bauelemente durch den Basisquader mit abgedeckt. Selbst wenn man mit $\alpha = 50 \cdot 10^{-6} K^{-1}$ (Polyimid) einen sehr hohen thermischen Ausdehnungskoeffizient annimmt [21, S.1-137], bleibt die prozentuale Längenänderung

$$\frac{\Delta L}{L_0} = \alpha (T - T_0) \quad (3.2)$$

mit 0,4% für 80K Temperaturänderung (bei einem angenommenen Temperatursprung von 20°C auf 100°C) weit unter den in Datenblättern üblicherweise angegebenen Toleranzen von 2-10%.

Basisgeometrie

Für eventuelle andere Verwendungszwecke (grafische Darstellung, Volumenanalyse etc.) wird zusätzlich zu dem für das Placing herangezogenen Basisquader noch eine

vereinfachte Form des Packages als *Basisgeometrie* mit abgelegt. Sie besteht aus der Angabe eines einfachen dreidimensionalen Körpers (Quader, Zylinder, etc.) und dessen Abmessungen.

Die Basisgeometrie gibt die reale Geometrie des Packages präziser wieder als der umhüllende Basisquader (der ja nach Gleichung 3.1 auch noch mögliche positive Toleranzen enthält), geht jedoch nicht so weit, ein fein ziseliertes 3D-Modell zu enthalten. Sollte ein solches für spätere thermische, elektromagnetische oder mechanische Simulationen nötig sein, muß es getrennt hinterlegt werden.

3.2.2. Kontaktierung

Die Definition des Basisquaders allein ist noch nicht ausreichend. Um die Verdrahtung der Bauelemente untereinander korrekt berücksichtigen zu können, ist es außerdem wichtig zu wissen, an welchen Stellen die elektrische Ankontaktierung erfolgen kann. Diese Information kann den Datenblättern der Bauelemente bzw. den Beschreibungen der Bauformen entnommen werden.

Bauelemente-Pads

Bei Bare-Dice, die durch Flip-Chip Technik kontaktiert werden sollen, sind solche kontaktierbaren Bereiche z.B. die Al-Pads auf der Systemseite des Chips. Bei ICs im QFP-Gehäuse sind es dagegen die Flächen, mit denen die Anschlußpins auf der Substratmetallisierung aufliegen. Um für alle diese verschiedenen Möglichkeiten eine einheitliche Beschreibung zu erhalten wird Folgendes festgelegt:

Die kontaktierbaren Flächen – im Folgenden als Bauelemente-Pads bezeichnet¹ – sind die Flächen, die sich ergeben, wenn man die für die Kontaktierung vorgesehenen Bereiche des Packages auf die Bodenfläche des Basisquaders projiziert und die so entstehende Form durch ein umschließendes Rechteck approximiert.

Diese bauelementseitigen Anschlußpads sind nicht zu verwechseln mit den oft ebenfalls als Pads bezeichneten Teilen der Substratmetallisierung (Footprint oder Substrat-Pad), auf die das Bauelement später aufgebracht wird.

Jedes Package besitzt eine Menge von M_{pad} Pads. Die Anzahl der Pads pro Package ist n_{pad} . Jedes Pad p_i $i \in \{1 \dots n_{pad}\}$ wird dargestellt durch seinen Mittelpunkt $(x_{pad,i}; y_{pad,i})$ und seine Ausdehnung in x- bzw. x-Richtung $(d_{x,1}, d_{y,1})$. Dazu wird ein kartesisches Koordinatensystem wie in Abbildung 3.2 gezeigt definiert, dessen Nullpunkt in der Mitte der Bodenfläche liegt. Es wird also davon ausgegangen,

¹Präziser wäre der Begriff *Package-Pads*, der jedoch im Zusammenhang mit ungehäuteten Bauelementen irreführend sein könnte.

daß sämtliche elektrische Ankontaktierung nur auf der *Unterseite* des Basisquaders ($z = 0$) erfolgt.

Auf diese Weise lassen sich auch ungewöhnlichere Strukturen wie z.B. Testpunkte zum Abnehmen von Signalen definieren. Es sind ganz einfach Bauelemente mit einem Basisquader der Höhe $z = 0$ und einem Pad p_1 mit Position $(0; 0)$, dessen Ausdehnung der Größe des Testpunktes entspricht.

Kontaktierungsstrecken

Die Reduktion der Anschlußgeometrie auf einzelne Flächen am Boden des Basisquaders ist der erste Abstraktionsschritt. Schaut man jedoch von oben auf ein Bauelement mit vielen Anschlüssen wird schnell deutlich, daß für die ungefähre Berücksichtigung der Verdrahtung nur zum Zwecke der Bauelemente-Platzierung selbst diese zweidimensionale Information nicht unbedingt nötig ist.

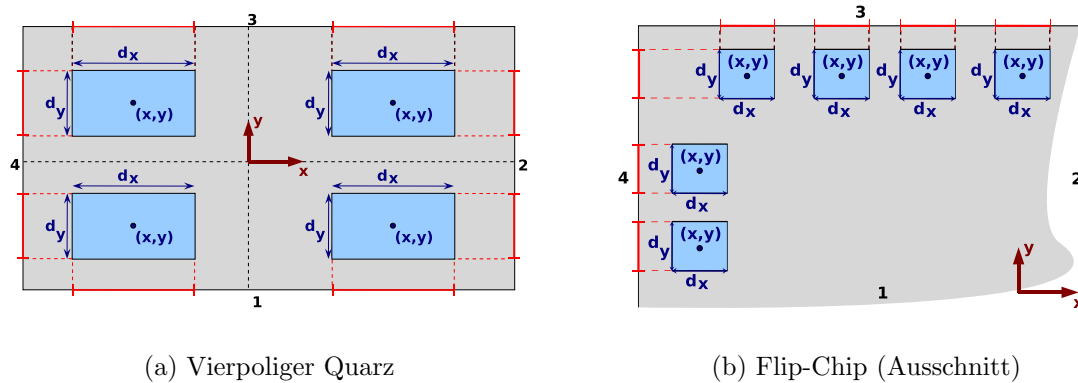


Abbildung 3.2.: Kontaktierungsstrecken

Man muß nicht wissen, wo exakt sich die Pads innerhalb des Packages befinden. Für die ungefähre Abschätzung der Verdrahtungslänge ist vielmehr wichtig, in welchem Bereich des Bauelemente-Umrisses die elektrische Ankontaktierung erfolgen kann. Betrachtet man den Umriss des Basisquaders (Draufsicht), müßten also nur jedem Pad p_i eine Menge von Intervallen auf den Kanten zugeordnet werden, innerhalb derer eine Kontaktierung möglich ist.

Diese Kontaktierungsstrecken könnten natürlich explizit angegeben werden. Einfacher und leichter handhabbar ist es jedoch, die Strecken einfach durch Projektion der Pads auf die Außenkanten der (Basisquader-)Bodenfläche zu ermitteln, wie in Abbildung 3.2 gezeigt. Das Platzierungsverfahren kann dann intern einfach mit Intervallen auf Kanten rechnen. Nötig ist (neben der Bestimmung der Pads) lediglich noch die Angabe der Projektionskanten 1 bis 4.

3.3. Substratbeschreibung

Substrate spielen als Träger im SiP eine wichtige Rolle. Alle Bauelemente und VICs des SiP sind auf ihnen verteilt und elektrisch ankontaktiert. Sie tragen daher nicht nur durch ihr eigenes Volumen zur Größe des SiP bei, ihre Eigenschaften wirken sich auch entscheidend auf die Platzierung der anderen SiP-Bestandteile aus und müssen daher im Modell mit erfaßt werden.

Anordnung

Ein reales SiP enthält mehrere Substrate, die im Prinzip beliebig geformt und angeordnet werden können. Für dieses Modell sollen jedoch zunächst folgende Annahmen gelten:

1. Ein SiP enthält eine Menge von $M_{Subst} = \{s_1; \dots s_{n_{Subst}}\}$ Substraten, die alle ohne seitliche Verschiebung genau übereinander angeordnet sind.
2. Die Substratfläche ist stets rechteckig. (Kompliziertere Polygonformen können nachträglich durch Keep-Out-Flächen – siehe Abschnitt 3.7 – modelliert werden. Kreisbögen sind nicht möglich.)
3. Alle Substrate $s_i \in M_{Subst}$ besitzen die gleichen Eigenschaften (laterale Ausdehnung, Dicke, innerer Aufbau etc.).

Als Ergebnis der Optimierung wird jedem Substrat s_i eine Teilmenge $M_{BE,i}$ von Bauelementen und eine Teilmenge $M_{VIC,i}$ von VICs zugeordnet. $M_{VIC,i}$ sind dabei alle VICs, die s_i mit s_{i+1} verbinden, also „nach unten zeigen“. Ein solcher Verbund aus Substrat, Bauelementen und VICs soll im Folgenden als Modul $m_i \in M_{Mod}$ bezeichnet werden.

$$m_i = \{s_i \in M_{Subst}; M_{BE,i} \setminus M_{BE}; M_{VIC,i} \setminus M_{VIC}\} \quad \forall i \in \{0 \dots n_{Mod}\} \quad (3.3)$$

Dabei stellt M_{BE} bzw. M_{VIC} die Menge Bauelemente bzw. VICs im gesamten SiP dar. Die Anzahl der Module $n_{Mod} = n_{Subst}$ wird ebenfalls durch die Optimierung bestimmt. Es können jedoch Grenzwerte $n_{Mod,min}$ und $n_{Mod,max}$ vorgegeben werden, um den Lösungsraum einzuschränken und damit die Rechenzeit zu verringern.

$$1 \leq n_{Mod,min} \leq n_{Mod} \leq n_{Mod,max} \quad (3.4)$$

Analog dazu können Grenzwerte für die maximale und minimale Gesamthöhe des SiP vorgegeben werden.

$$0 < h_{SIP,min} \leq h_{SIP} \leq h_{SIP,max} \quad (3.5)$$

also die lateralen Abmessungen x_{Subst} und y_{Subst} gegeben sein. Diese sind jedoch nicht fest vorgegeben sondern Gegenstand der Optimierung. Angegeben werden daher lediglich Grenzwerte

$$0 < x_{Subst,min} \leq x_{Subst} \leq x_{Subst,max} \quad (3.6)$$

$$0 < y_{Subst,min} \leq y_{Subst} \leq y_{Subst,max} \quad (3.7)$$

die nicht über- oder unterschritten werden dürfen (siehe Abbildung 3.3. Zusätzlich muß angegeben werden, auf welcher Seite das Substrat bestückt werden darf. Sowohl der Ober- als auch der Unterseite wird daher ein Parameter a_{top} bzw. a_{bot} zugeordnet. Hat dieser den Wert 1, ist eine Bestückung auf der entsprechenden Seite möglich. Der Wert 0 verbietet sie.

Da die Ankontaktierung der Bauelemente auf den äußeren Metallisierungslagen stattfindet, haben diese natürlich großen Einfluß auf die Platzierung und sind daher von besonderem Interesse. Die Dicken der obersten und untersten Metallisierungslage werden als t_{top} und t_{bot} getrennt erfaßt. Der gesamte Innenbereich dagegen kann zur Substratdicke t_{subst} zusammengefaßt werden (siehe Abbildung 3.4).

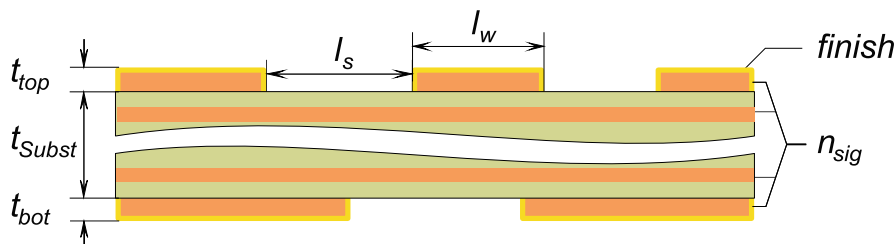


Abbildung 3.4.: Modellierte Substratparameter

Angaben über die minimalen Strukturgrößen (line width l_w und line space l_s) sind in diesem Fall ebenfalls nur für die Außenlagen relevant. Nur dort haben sie einen Einfluß auf die technologisch bedingten Zusatzabstände der Bauelemente (siehe Abschnitt 3.4.1) und die vertikalen Verbinder (VICs, siehe Abschnitt 3.6).

Um die Anzahl der Signale zu bestimmen, die durch einen Flex-Verbinder geführt werden können, ist zusätzlich noch die Gesamtzahl der leitenden Lagen n_{sig} im Substrat wichtig.

Nicht nur die Dicke der äußeren Metallisierungslagen, auch deren Oberflächenbeschaffenheit (finish) spielt bei der Modellierung eine Rolle. Die Art des Finish legt fest, welche Verbindungstechniken auf dem Substrat möglich sind (siehe Tabelle auf Seite 31). Das Finish wird global für das gesamte Substrat auf einen der Werte

{Flash_Au, Reduktiv_Au, Galvanisch_Au, HAL_Sn, Chem_Sn, Chem_Ag}

gesetzt.

Tabelle 3.1.: Modellierete Substrat-Parameter

Substratparameter	
Grenzen der x-Ausdehnung	$x_{Subst,min} ; x_{Subst,max}$
Grenzen der y-Ausdehnung	$y_{Subst,min} ; y_{Subst,max}$
Gesamtzahl der leitenden Lagen	n_{sig}
Oberseite (top layer) bestückbar	a_{top}
Unterseite (bottom layer) bestückbar	a_{bot}
Metallisierungsdicke Oberseite (top)	t_{top}
Substratdicke ohne Außenmetallisierung	t_{subst}
Metallisierungsdicke Unterseite (bottom)	t_{bot}
min. Leitungsbreite (line width)	l_w
min. Leitungsabstand (line space)	l_s

3.4. Die einzelnen Bauelemente

Die bisher beschriebenen Packages gelten schaltungsübergreifend. Sie lassen sich in Bibliotheken auslagern und immer wieder verwenden. Auch die im vorhergehenden Abschnitt beschriebenen Substrate mit all ihren Eigenschaften gelten u.U. schaltungsübergreifend.

Nun wird es jedoch Zeit, sich mit den Teilen des Modells zu beschäftigen, die sich auf eine bestimmte Schaltung beziehen – mit den konkreten Bauelementen (in diesem Abschnitt) und den Verbindungen zwischen ihnen (im nächsten). Beides ist im Schaltplan definiert, der das SiP beschreibt. Dieser liegt üblicherweise im EDIF-Format vor (siehe Abschnitt 4.1).

Aus der Schaltplan-Beschreibung läßt sich ohne Probleme eine Bauelemente-Liste extrahieren. Die Menge der im SiP enthaltenen Bauelemente ist

$$M_{BE} = \{b_i, \dots, b_{n_{BE}}\} \quad (3.8)$$

bezeichnet werden, wobei $n_{BE} = |M_{BE}|$ die Gesamtanzahl der Bauelemente ist.

Diese besitzen zunächst noch keine geometrische Beschreibung. Sie sind einfach Symbole in einer Schaltung mit einem Namen und n_{port} definierten Anschlüssen (Ports). Der erste Schritt ist es, jedem Element b_i ein Package aus M_{Pack} zuzuordnen und damit jeweils (wie in Abschnitt 3.2.1 beschrieben) die Basis- und Anschlußgeometrie festzulegen.

Die einzelnen Ports des Bauelementes – des abstrakten Symbols also – werden dabei den konkreten Anschlußpads des Packages zugeordnet. Das setzt natürlich voraus, daß eine eindeutige Zuordnung möglich ist, daß also $n_{pad} = n_{port}$ gilt.

In Abbildung 3.5 ist der Ablauf beispielhaft für eine SMD-LED dargestellt. Dem zweipoligen (Ports 1 und 2) Bauelement D1 wird das Package HSMX-690 zugewiesen. Aus der Geometrie des Packages ergeben sich ein Basisquader und die zwei Anschlußpads 1 und 2.

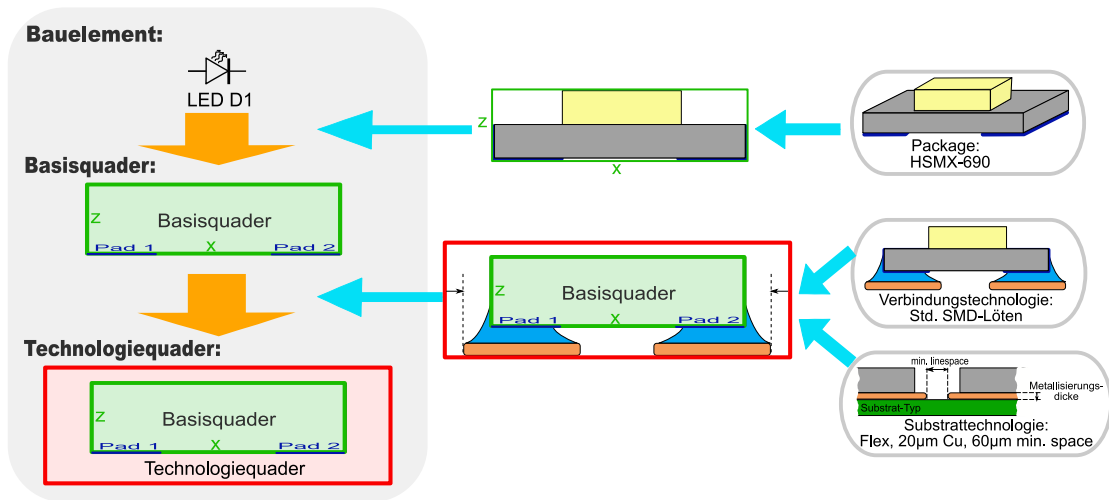


Abbildung 3.5.: Basis- und Technologiequader (Beispiel)

In einem zweiten Schritt wird jedem Bauelement b_i ein sogenannter *Technologiequader* (TQ) zugeordnet. Dessen Abmessungen sind von der verwendeten AVT also vom Substrat und der verwendeten Verbindungstechnik abhängig. Sollen mehrere unterschiedliche Technologien betrachtet und einander gegenübergestellt werden, ergeben sich mehrere Technologiequader für jedes Bauelement. Die Menge der Technologiequader, die jedem Bauelement b_i zugeordnet wird, ist M_{TQ} . Es muß gelten $n_{TQ} = |M_{TQ}| > 0$.

Auf diese Technologiequader soll im nun folgenden Abschnitt näher eingegangen werden.

3.4.1. Technologiequader

Das Konzept des Technologiequaders ist das Herzstück dieses Modellierungsansatzes. Grundlage ist folgender Gedankengang: Um ein Bauelement mit dem Substrat zu verbinden, werden Elemente der Aufbau- und Verbindungstechnik (aufmetallisierte Substrat-Pads, Bumps, Klebeschichten, Underfiller ...) benötigt.

Um eine realistische Platzierung der Bauelemente ermitteln zu können, müssen diese zwar vollständig berücksichtigt, nicht jedoch in allen Details erfaßt und dargestellt werden. Es genügt zu wissen, wieviel Raum um ein Bauelement herum freigehalten werden muß, um die AVT darin unterbringen zu können.

Es werden – ausgehend vom Basisquader des Bauelements – in jede Raumrichtung Mindestabstände

$$\{\Delta x_{1,TQ}; \Delta x_{2,TQ}; \Delta y_{1,TQ}; \Delta y_{2,TQ}; \Delta z_{1,TQ}; \Delta z_{2,TQ}\} \quad (3.9)$$

errechnet, die bei der Platzierung eingehalten werden müssen. Addiert man diese Mindestabstände zu den Abmessungen des Basisquaders hinzu, erhält man einen weiteren Quader – den Technologiequader.

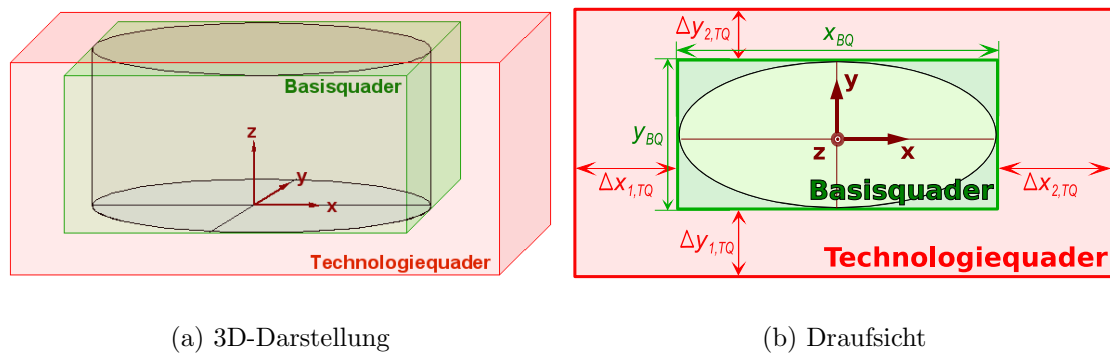


Abbildung 3.6.: Basisgeometrie, Basisquader und Technologiequader

Die Anordnung der einzelnen Abstände ist in Abbildung 3.6 gezeigt. Dort ist außerdem noch ein sog. Routing-Quader eingezeichnet, der im nächsten Abschnitt besprochen wird.

Der Technologiequader-Ansatz bietet mehrere Vorteile. Zum Einen wird die Handhabung der AVT stark vereinfacht, ohne jedoch im Bezug auf die Platzierung an Genauigkeit einzubüßen.

Zum Zweiten bleibt das Modell bei der Einbindung neuer Technologien sehr flexibel, da 'nach außen' – also für den Optimierungsalgorithmus – lediglich ein Zahlentupel aus sechs Werten sichtbar ist (mehr dazu in Abschnitt 4.3.2). Aus dessen Sicht betrachtet, ändern die Bauelemente lediglich ihre Größe, je nachdem auf welcher Art von Substrat sie sich befinden und wie sie dort montiert sind. Wie und warum das geschieht ist für die reine Platzierung nicht entscheidend.

Die Komplexität wird verlagert. Sie liegt nun in der Berechnung des Technologiequaders. Sollen neue Technologien berücksichtigt oder die vorhandenen noch genauer modelliert werden, ist lediglich die Berechnung zu ändern bzw. zu verfeinern. Im Extremfall kann der Quader auch einfach auf beliebige Werte festgelegt werden, falls besonders ungewöhnliche Umstände oder exotische Technologien zu berücksichtigen sind.

Wechselwirkungen

Beim Versuch den Technologiequader zu berechnen traten im Laufe der Arbeit deutlich die, in Abschnitt 3.1 bereits angedeuteten, vielfältigen Wechselwirkungen zwischen den einzelnen Elementen des SiP zu Tage. Eine Übersicht ist in Abbildung 3.7 skizziert.

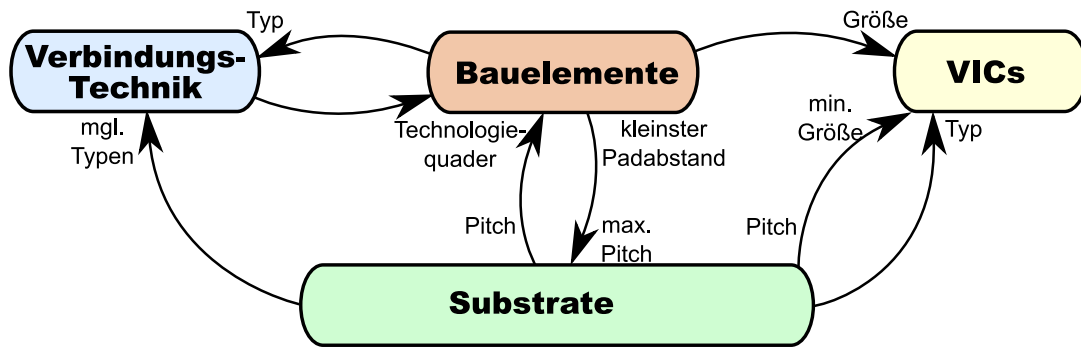


Abbildung 3.7.: Wechselwirkungen zwischen SiP-Elementen

Aus den Padpositionen und -größen der Bauelemente läßt sich der minimale Abstand zwischen zwei Pads bestimmen. Dieser gibt den benötigten minimalen Leitungsabstand (l_s) bzw. den Pitch des Substrates (genauer gesagt des entsprechenden Metall-Layers) vor. Der Pitch geht in die Technologiequader der Bauelemente ein und bestimmt deren Größe, letztlich also die Größe der zu platzierenden Bauelement-Objekte.

Aus dem Substrat leitet sich außerdem ab, mit welchen Techniken (Löten, Kleben etc.) die Bauelemente theoretisch aufgebracht werden können (siehe Tabelle 2.7 auf Seite 31). Welche Technik dann tatsächlich zum Einsatz kommt, wird durch das konkrete Bauelement (bzw. durch das Wissen des Designers, der diesem eine bestimmte Verbindungstechnik zuordnet) festgelegt.

Die dritte Wirkungskette bezieht die vertikalen Interconnects (VICs) mit ein. Sie werden beeinflußt vom Substrat, welches sowohl den Typ der VICs als auch ihre minimale Größe vorgibt. Ihre tatsächliche Größe ist jedoch von dem Abstand der Substrate abhängig, die sie miteinander verbinden müssen. Dieser Abstand wird wiederum von der Höhe der Bauelemente, die zwischen den Substraten platziert wurden – und damit von deren Technologiequader – festgelegt. Details zu Modellierung der VICs sind in Abschnitt 3.6 zu finden.

Technologiequader-Gleichungen

Um den Technologiequader zu berechnen, werden also Angaben über das *Bauelement*, über das *Substrat* und die *Verbindungstechnik* benötigt. Anders ausge-

drückt müssen sechs Gleichungen aufgestellt werden, um die sechs Unbekannten $\{\Delta x_{1,TQ}; \Delta x_{2,TQ}; \Delta y_{1,TQ}; \Delta y_{2,TQ}; \Delta z_{1,TQ}; \Delta z_{2,TQ}\}$ zu bestimmen. Sie werden im Folgenden als *Technologiequader-Gleichungen* oder TQ-Gleichungen bezeichnet.

Die TQ-Gleichungen werden von der Verbindungstechnik vorgegeben. Sie enthalten Parameter, die für diese Technologie spezifisch sind und sie genauer beschreiben. Zusätzlich werden Parameter aus der Substrat- und aus der Bauelemente-Beschreibung verwendet. Abbildung 3.8 verdeutlicht das Vorgehen.

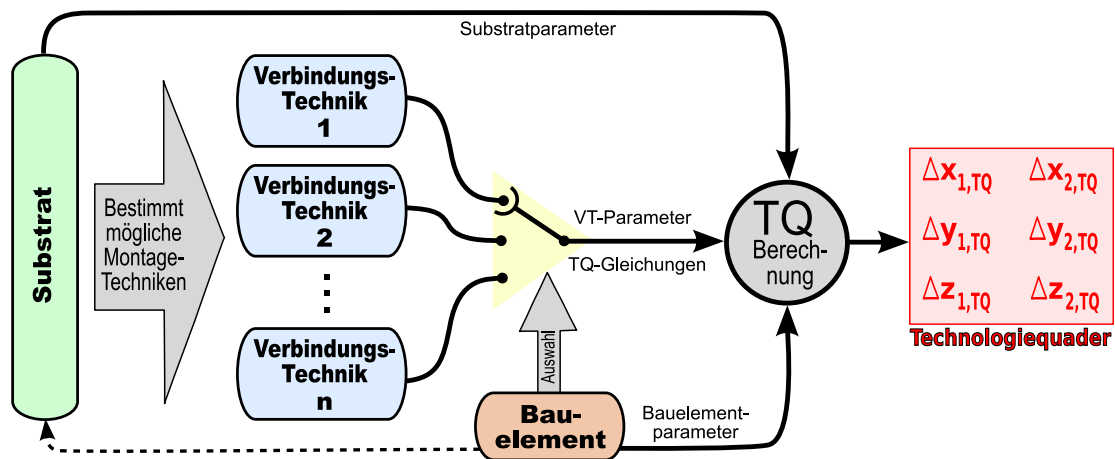


Abbildung 3.8.: Berechnung des Technologiequaders

Aus den Substratparametern wird zunächst abgeleitet, was für Verbindungstechniken möglich sind. Welche dieser Techniken dann für das konkrete Bauelement zu Einsatz kommt, wird vom Designer festgelegt bzw. ergibt sich aus der Art des Bauteils.

Natürlich wird in der Realität bei der Erstellung eines Designs das Substrat bereits so gewählt, daß alle Bauelemente mit den gewünschten Verbindungstechniken dort aufgebracht werden können. Die Bauelemente wirken sich also in gewisser Hinsicht auch auf die Substrat-Parameter aus (gestrichelter Pfeil). Diese Abhängigkeit wird jedoch vom Modell nicht automatisch erfaßt. Der Designer steht weiterhin in der Pflicht, ein Substrat zu spezifizieren, daß alle benötigten Verbindungstechniken ermöglicht. Mit 'Verbindungstechnik' ist in diesem Zusammenhang nicht nur einfach die Art der Fügung (Löten, Kleben, Preßschweißen) gemeint, sondern deren konkrete Ausprägung für verschiedene Bauelementeklassen.

So macht es für die Berechnung des Technologiequaders einen Unterschied, ob ein SMT-Bauelement (0201, QFP, ...) oder ein Bare Die (als Flip-Chip) verlötet werden soll. Das Gleiche gilt für das Kleben. Hier gibt es bei der Flip-Chip Montage zusätzlich die Möglichkeit, isotrop oder anisotrop leitenden Klebstoff zu verwenden. Beim Löten hat man die Wahl zwischen Reflow- Wellen- und Dampfpha-

senlöten. Für jede dieser Techniken müssen andere TQ-Gleichungen mit anderen Verbindungstechnologie-Parametern aufgestellt werden.

Eine erschöpfende Beschreibung der Berechnungsmodelle für alle bisher existierenden Verbindungstechniken liegt nicht im Fokus dieser Arbeit (siehe dazu auch die Anforderungsanalyse in Abschnitt 3.1). Es soll stattdessen ein Rahmen vorgegeben werden, in den weitere – bereits existierende oder noch zu entwickelnde – Technologien ohne weiteres eingebettet werden können. Dies ist hier problemlos durch die Angabe der sechs TQ-Gleichungen und der zusätzlichen technologiespezifischen Parameter möglich.

Aus diesem Grund wird an dieser Stelle lediglich exemplarisch die Berechnung der Technologiequader für zwei verschiedene Verbindungstechniken durchexerziert – für das Reflow-Löten von SMT-Elementen und das anisotrope Kleben von Bare Dice in Flip-Chip Technik.

Beispiel: SMT-Reflow-Löten

Wie in Abschnitt 2.1.5 ausgeführt, muß beim Löten von SMT-Packages die Anschlußmetallisierung auf dem Substrat (das Substrat-Pad) immer größer sein als das bauelementseitige Pad. Die Vergrößerung in eine Richtung wird im Folgenden vereinfachend als proportional zur Padausdehnung in dieser Richtung angenommen und mit dem Faktor g_x bzw. g_y bezeichnet.

Die laterale Ausdehnung der Substrat-Pads berechnet sich dann zu $x_{pad} + 2x_{pad}g_x$ bzw. $y_{pad} + 2y_{pad}g_y$. Ein *Pad-Vergrößerungsfaktor* von $g_x = g_y = 0,1$ bedeutet also, daß die Bauelemente-Pads an jeder Seite um 10% der jeweiligen Richtungsausdehnung vergrößert werden.

Zusätzlich ist zu berücksichtigen, daß die Substrat-Pads nicht beliebig dicht nebeneinander platziert werden können. Zwischen beiden muß ein isolierender Graben frei bleiben, um Kurzschlüsse auszuschließen. Die Mindestbreite entspricht dem minimalen Leitungsabstand l_s des Substrates. Zur Technologiequadergrundfläche kommt also an jeder Seite noch ein Aufschlag von $l_s/2$ hinzu.

Unabhängig von der auf dem Substrat benötigten Fläche kann es vorkommen, daß ein bestimmter Mindestabstand um das Bauelement bzw. um den Basisquader herum freigehalten werden muß. Dies kann z.B. nötig werden, wenn die für die Montage verwendeten Werkzeuge einen gewissen Freiraum brauchen. Dieser Mindestabstand, der auf jeden Fall an jeder Seite des Bauelements zum Basisquader hinzu kommt (unabhängig davon wie die Positionierung der Pads aussieht) wird durch den *Werkzeugabstand* d_t ausgedrückt.

In vertikaler Richtung (entlang der z-Achse) ist die *Dicke der Substratmetallisierung* t_{top} und die Dicke der zwischen Bauelemente-Pad und Substrat-Pad entste-

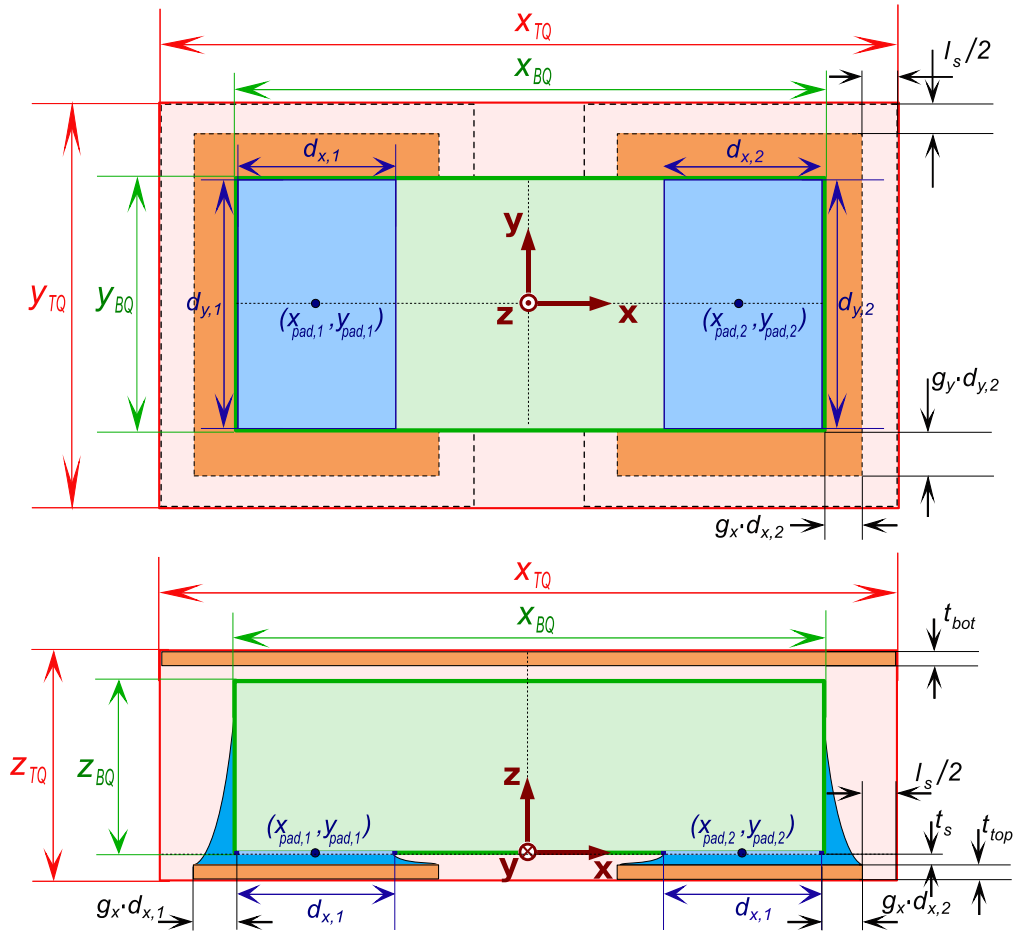


Abbildung 3.9.: Technologiequader für SMT-Reflow-Löten (Zweipoliger SMD)

henden *Lot-Schicht* t_s ausschlaggebend für die Quadergröße. Sie bestimmen den Abstand zwischen der Unterseite des Basisquaders und dem Substrat.

Über dem Basisquader muß zumindest soviel Platz reserviert werden, daß unbeabsichtigte Kontakte mit den Leiterbahnen des darüberliegenden Substrates verhindert werden. Zusätzlich zur Dicke der Bottom-Metallisierung t_{bot} dieses Substrates wird also noch ein Sicherheitsabstand von d_{above} mit aufaddiert. Dieser kann für die entsprechende Verbindungstechnik frei gewählt werden. Als Vorbelegung wird der Mittelwert aus Top- und Bottom-Metallisierungsdicke $(t_{top} + t_{bot}) / 2$ angenommen. Vergrößert man d_{above} darüber hinaus, kann auch zusätzlich benötigter Raum (z.B. für die Verkapselung der Bauelemente) berücksichtigt werden.

In dieser Arbeit wurde die vereinfachende Annahme getroffen, daß alle Substrate des betrachteten SiPs identisch aufgebaut sind (siehe Abschnitt 3.1). Daher spielt es für die Größe des Technologiequaders keine Rolle, auf welchem Modul das Bau-

element liegt, und ob es auf der Top- oder auf der Bottom-Seite des Substrates bestückt wird.

Betrachtet man das in Abbildung 3.9 gezeigte zweipolige SMT-Element, lassen sich die TQ-Gleichungen für diesen Fall unmittelbar ablesen. Setzt man d_t zunächst auf Null, ergibt sich für die laterale Ausdehnung

$$\begin{aligned}\Delta x_{1,TQ} &= -x_{pad,1} + \frac{d_{x,1}}{2} + g_x \cdot d_{x,1} + \frac{l_s}{2} - \frac{x_{BQ}}{2} \\ &= -x_{pad,1} + \left(\frac{1}{2} + g_x\right) d_{x,1} + \frac{1}{2} (l_s - x_{BQ})\end{aligned}\quad (3.10)$$

$$\Delta x_{2,TQ} = +x_{pad,2} + \left(\frac{1}{2} + g_x\right) d_{x,2} + \frac{1}{2} (l_s - x_{BQ}) \quad (3.11)$$

$$\Delta y_{1,TQ} = \left(\frac{1}{2} + g_y\right) \max\{d_{y,1}, d_{y,2}\} + \frac{1}{2} (l_s - y_{BQ}) \quad (3.12)$$

$$\Delta y_{2,TQ} = \Delta y_{1,TQ} \quad (3.13)$$

und in vertikaler Richtung

$$\Delta z_{1,TQ} = t_{top} + t_s \quad (3.14)$$

$$\Delta z_{2,TQ} = t_{bot} + d_{above} \quad (3.15)$$

$$= t_{bot} + \frac{t_{top} + t_{bot}}{2} \quad (3.16)$$

Verallgemeinert man die lateralen TQ-Gleichungen auf Bauelemente mit n_{pad} Pads und läßt die in Gleichung 3.12 und 3.13 noch vorhandene Einschränkung fallen, daß alle Pads auf der x-Achse liegen ($y_{pad,i} = 0 \forall i$), so ergibt sich für x

$$\Delta x_{1,TQ} = \left| \min \left\{ -d_t, \min_{i \in [1..n_{pad}]} \left[x_{pad,i} - \left(\frac{1}{2} + g_x\right) d_{x,i} \right] - \frac{1}{2} (l_s - x_{BQ}) \right\} \right| \quad (3.17)$$

$$\Delta x_{2,TQ} = \max \left\{ d_t, \max_{i \in [1..n_{pad}]} \left[x_{pad,i} + \left(\frac{1}{2} + g_x\right) d_{x,i} \right] + \frac{1}{2} (l_s - x_{BQ}) \right\} \quad (3.18)$$

und analog für y

$$\Delta y_{1,TQ} = \left| \min \left\{ -d_t, \min_{i \in [1..n_{pad}]} \left[y_{pad,i} - \left(\frac{1}{2} + g_y\right) d_{y,i} \right] - \frac{1}{2} (l_s - y_{BQ}) \right\} \right| \quad (3.19)$$

$$\Delta y_{2,TQ} = \max \left\{ d_t, \max_{i \in [1..n_{pad}]} \left[y_{pad,i} + \left(\frac{1}{2} + g_y\right) d_{y,i} \right] + \frac{1}{2} (l_s - y_{BQ}) \right\} \quad (3.20)$$

Die vertikalen TQ-Gleichungen ($\Delta z_1, \Delta z_2$) bleiben unverändert.

Zur Veranschaulichung der Gleichungen 3.17 bis 3.20 kann Abbildung 3.10 herangezogen werden. Die dort gezeigte Konfiguration kommt natürlich in der Realität so nicht vor. Sie faßt aber alle möglichen Fälle in einem Schaubild zusammen.

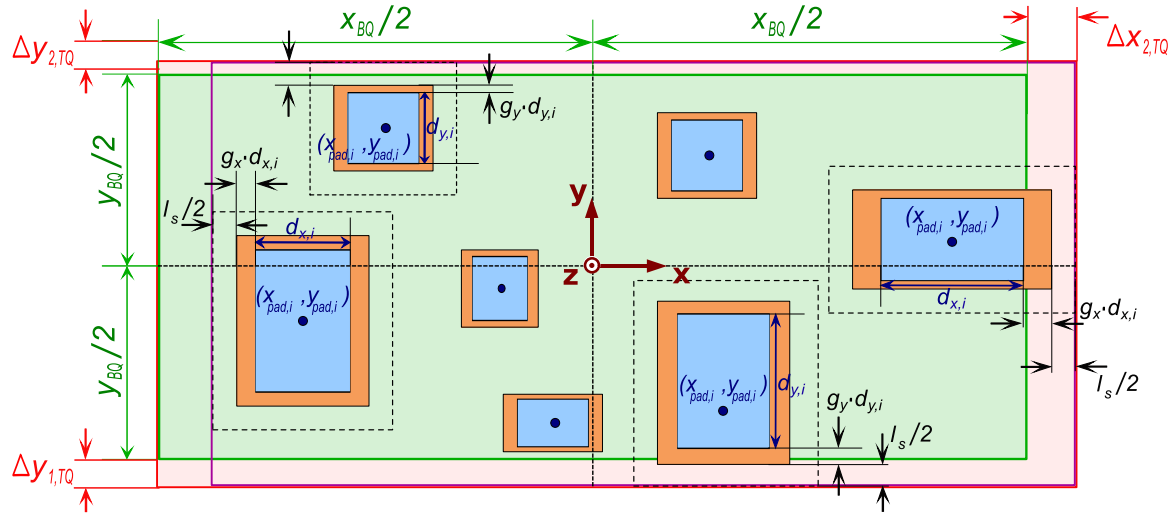


Abbildung 3.10.: Technologiequader für SMD-Reflow-Löten, Draufsicht (Allgemeiner Fall)

Wie man sieht, werden aus M_{pad} die Pads ausgewählt, deren Ränder (bei Berücksichtigung des Vergrößerungsfaktors $g_{x/y}$) am weitesten außen liegen, d.h. deren Koordinaten in der betrachteten Richtung minimal bzw. maximal werden.

Nach vorzeichenrichtigem Addieren des halben Leitungsabstandes $l_s/2$ in alle Richtungen definieren die vier Koordinaten ein Rechteck, daß die für die Substrat-Pads minimal benötigte Grundfläche umschließt.

Nimmt man für d_t zunächst Null an, ergibt sich nur an den Seiten, wo diese Grundfläche über die bereits vom Basisquader belegte Fläche hinausragt, ein zusätzlicher TQ-Abstand. An den Seiten wo sie innerhalb des Basisquaders liegt, gilt die Begrenzung des Basisquaders. Der zusätzliche TQ-Abstand in dieser Richtung ist Null. Der Technologiequader kann also niemals kleiner als der Basisquader werden.

Setzt man $d_t > 0$, wird die Basisquader-Grundfläche zunächst in jeder Richtung um d_t vergrößert. Erst wenn die Pad-Grundfläche auch darüber hinausragt, trägt sie mit zum Technologiequader bei. Ansonsten ist der TQ-Abstand in der entsprechenden Richtung $|d_t|$.

Tabelle 3.2 faßt noch einmal die benutzten Parameter zusammen und liefert Beispielwerte zur TQ-Berechnung für ein 0201er-SMT-Package auf einem HDI-Substrat.

Tabelle 3.2.: TQ-Einflußgrößen beim SMT-Reflow-Löten mit Beispielwerten

Verbindungstechnik: SMT-Reflow-Löten		Beispiel
Pad-Vergrößerung	$g_x ; g_y$	1,3; 0,08
Werkzeug-Abstand	d_t	0
Freiraum über dem BE	d_{above}	24
Lotdicke	t_s	5
Package		0201
Basisquader	$x_{BQ} ; y_{BQ} ; z_{BQ}$	550; 300; 250
Pad-Positionen	$(x_{pad,i} ; y_{pad,i}) \quad \forall i \in [1..n_{pad}]$	(-200; 0), (+200; 0)
Pad-Abmaße	$(d_{x,i} ; d_{y,i}) \quad \forall i \in [1..n_{pad}]$	(150; 300), (150; 300)
Substrat		HDI
min. Leitungsabstand	l_s	75
Metallisierungsdicken	$t_{top} ; t_{bot}$	12 ; 12

Alle Zahlenwerte in μm .

Für mehr Beispiele, sowie die Ergebnisse der TQ-Berechnungen sei auf Kapitel 5 verwiesen, in der eine komplette Schaltung für verschiedene Technologien aufbereitet wird.

Beispiel: Anisotropes Flip-Chip-Kleben (ACA-FC)

Die im vorhergehenden Abschnitt für die *lateralen* Technologiequaderabmessungen hergeleiteten Gleichungen gelten im Prinzip auch für das Kleben von Flip-Chips. Aus den Kontaktierungsflächen auf der Unterseite des Bauelements werden etwas vergrößerte Substratpads berechnet. Addiert man auf das diese Pads umschließende Rechteck in jeder Richtung $l_s/2$ auf erhält man die minimal benötigte Technologiequadergrundfläche.

Diese ist bei Flip-Chips jedoch prinzipbedingt immer komplett vom Die bedeckt. Die Grundfläche des Basisquaders ragt also in jeder Richtung über die von den Substratpads vorgegebene Mindestfläche hinaus. Die Gleichungen 3.17 bis 3.20 können also zu

$$\Delta x_{1,TQ} = \Delta x_{2,TQ} = \Delta y_{1,TQ} = \Delta y_{2,TQ} = d_t \quad (3.21)$$

vereinfacht werden. Lediglich der Parameter d_t , der beim SMT-Reflow-Löten den Werkzeugabstand modelliert, welcher um den Basisquader mindestens freizuhalten ist, bleibt erhalten. Er erhält hier eine ähnliche Bedeutung.

Das sich die für das SMD-Reflow-Löten aufgestellten lateralen TQ-Gleichungen beim Flip-Chip-Kleben auf die in Gleichung 3.21 gezeigte Form vereinfachen lassen, bedeutet einen geringeren Berechnungsaufwand. Es rechtfertigt allein jedoch noch nicht, das Flip-Chip-Kleben separat zu behandeln. Prinzipiell würden die

Gleichungen 3.17 bis 3.20 beim Einsetzen der entsprechenden Parameter die gleichen Ergebnisse liefern.

Unterschiede gibt es jedoch bei den vertikalen Abständen $\Delta z_{1,TQ}$ und $\Delta z_{2,TQ}$. Hier ist neben der Substrat-Metallisierung, die auch beim SMT-Löten betrachtet wird, noch die Höhe der Bumps auf den Bondpads h_{bump} , sowie der Durchmesser der leitenden Partikel des Klebers d_{fill} zu berücksichtigen (siehe Abbildung 3.11).

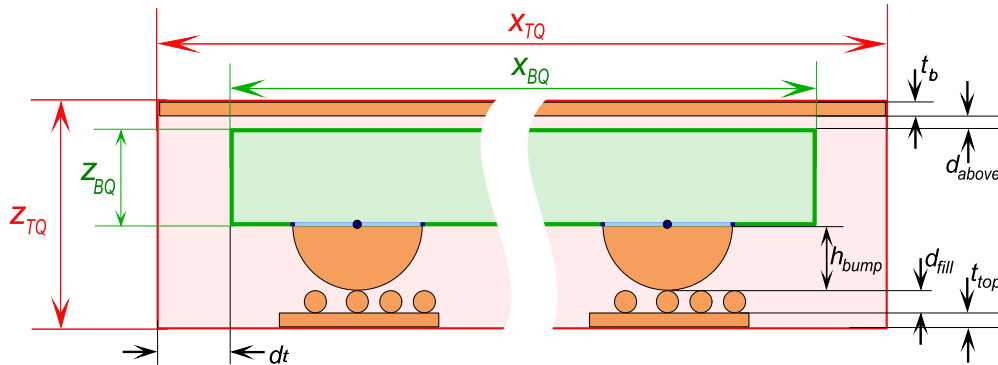


Abbildung 3.11.: Technologiequader für ACA-FC (Seitenansicht)

Die vertikalen Technologieabstände ergeben sich also zu

$$\Delta z_1 = t_{top} + d_{fill} + h_{bump} \quad (3.22)$$

$$\Delta z_2 = t_{top} + d_{above} \quad (3.23)$$

Für die Herleitung von Gleichung 3.23 sei auf auf Seite 54 verwiesen. Eine Zusammenfassung der zur Technologiequaderberechnung benutzten Parameter liefert Tabelle 3.3.

Tabelle 3.3.: TQ-Einflußgrößen beim ACA-Kleben von Flip-Chips

Verbindungstechnik: ACA-FC		Beispiel
Werkzeug-Abstand	d_t	300
Freiraum über dem BE	d_{above}	12
Bumphöhe	h_{bump}	50
Füllpartikeldurchmesser	d_{fill}	8
Package		CC1000_FC
Basisquader	x_{BQ} ; y_{BQ} ; z_{BQ}	2375; 4069; 730
Substrat		HDI
Metallisierungsdicken	t_{top} ; t_{bot}	12 ; 12

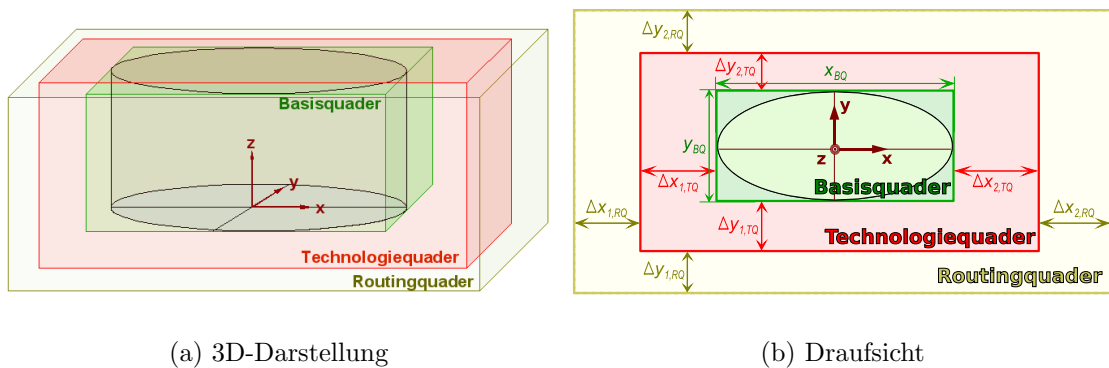
Alle Zahlenwerte in μm .

3.4.2. Routingquader

Der Technologiequader berücksichtigt die das Bauelement umgebenden AVT-Elemente. Um realistische Platzierungsvorschläge zu erhalten, ist jedoch ein weiterer Aspekt zu berücksichtigen - die Verdrahtung der Elemente.

Sowohl die einzelnen Bauelemente als auch die vertikalen Verdrahtungselemente sind untereinander verbunden. Diese Verbindungen sind in der Netzliste definiert und werden bisher nur in Form von Airwires erfaßt. Tatsächlich realisiert sind sie natürlich durch Leiterbahnen und Durchkontaktierungen (Vias) auf dem Substrat, die wiederum Platz beanspruchen (Abschnitt 2.1.3). Würde man die Bauelemente (bzw. die Technologiequader der Bauelemente) direkt nebeneinander platzieren, bliebe kein Raum um dazwischen Leiterbahnen entlangzuführen.

Um festzustellen, wieviel Platz zusätzlich benötigt wird, müßte die Platine entflochten d.h. der exakte Verlauf der Verdrahtung bestimmt werden (Routing-Schritt). Wie in Abschnitt 2.2 ausgeführt, ist dieser Schritt sowohl komplex als auch rechenaufwändig und daher für die Modellierung ungeeignet. Deshalb wird eine Abschätzung angewendet.



(a) 3D-Darstellung

(b) Draufsicht

Abbildung 3.12.: Bauelement mit umhüllenden Quadern

Um die Bauelemente herum wird in x- und y-Richtung zusätzlicher Platz für die Verdrahtung freigehalten. Analog zum Technologiequader werden die entsprechenden Mindestabstände

$$\{\Delta x_{1,RQ}; \Delta x_{2,RQ}; \Delta y_{1,RQ}; \Delta y_{2,RQ}\} \quad (3.24)$$

als *Routingquader* bezeichnet. Das Bauelement stellt sich also wie in Abbildung 3.12 gezeigt dar.

Abschätzung des Routingquaders

Die Abschätzung der in Gleichung 3.24 gegebenen Mindestabstände legt die vereinfachende Annahme zugrunde, daß der Routing-Platzbedarf auf einer Bauelement-Seite sowohl proportional zur Anzahl der Anschlüsse auf dieser Seite als auch zum Platzbedarf einer einzelnen Leitung ist.

Diese Anzahl der Anschlüsse pro Seite – im Folgenden mit $n_{pad,k}$ $k \in \{1, 2, 3, 4\}$ für die Seiten 1 bis 4 bezeichnet – läßt sich leicht über die in Abschnitt 3.2.2 beschriebenen Kontaktierungsstrecken ermitteln. Für deren Berechnung werden ja die Pads bereits auf die einzelnen Seiten verteilt. Der Wert $n_{pad,k}$ ergibt sich also schlicht durch Abzählen aller Pads, die der Seite k zugeordnet wurden.

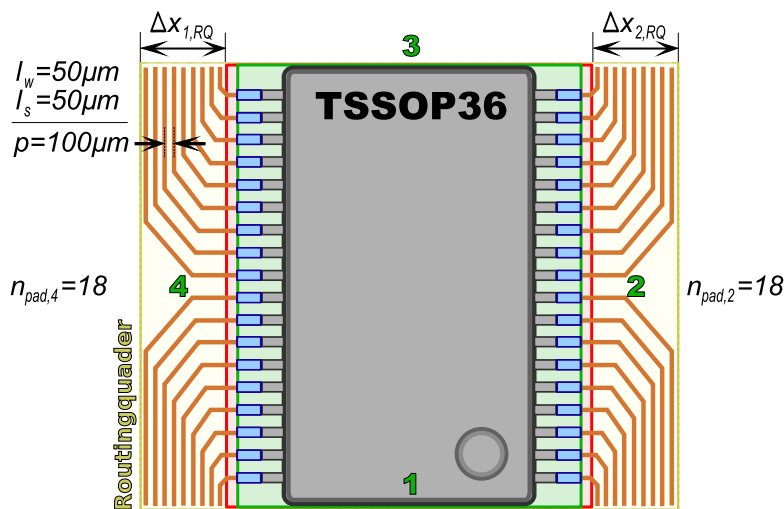


Abbildung 3.13.: Abschätzung des Routingquaders für ein TSSOP36 bei $\chi = \frac{1}{2}$

Für die Leitungen, die zu den Pads einer Seite führen wird angenommen, daß sie parallel zu dieser Seite verlaufen (siehe Abbildung 3.13). Der Platzbedarf in x- bzw. y-Richtung ergibt sich also aus Leitungsbreite und -abstand zu

$$l_w + 2 \cdot \frac{l_s}{2} = l_w + l_s = p \quad (3.25)$$

Die hier angeführten Abschätzungsregeln basieren auf zahlreichen Vereinfachungen und sind dementsprechend grob [18, S.4]. Um die Größe des Routingquaders besser den tatsächlichen Gegebenheiten anpassen zu können, wird daher für jedes Bauelement ein zusätzlicher Korrekturfaktor χ eingeführt. Die vier Routingquader-Abstände ergeben sich also insgesamt zu

$$\Delta x_{1/2,RQ} = n_{pad,4/2} p \cdot \chi \quad (3.26)$$

$$\Delta y_{1/2,RQ} = n_{pad,1/3} p \cdot \chi \quad (3.27)$$

3.4.3. Bauelemente-Gruppen

Bei der Modellierung ist es immer wieder nötig, auf die einzelnen Bauelemente Bezug zu nehmen, um ihnen eine Eigenschaft zuzuweisen oder die bereits erwähnten Regeln (Constraints, siehe Abschnitt 3.7) zu formulieren. Dies geschieht bisher nur über den Bauelementenamen. Ein Beispiel für so eine Referenzierung im Rahmen eines (hier verbal formulierten) Constraints könnte lauten:

„D1 muß unbedingt auf dem obersten Modul platziert werden“, oder
 „U3 und X1 müssen sich auf dem gleichen Modul befinden“

Das zweite Beispiel läßt schon erahnen, daß die bauelementeweise Referenzierung bei mehr als ein oder zwei Elementen unpraktisch wird. Sollen z.B mehrere Regeln auf immer wiederkehrende Bauelemente-Mengen angewendet werden, bietet es sich an, diese zu *Bauelementgruppen* zusammenzufassen und über einen gemeinsamen Gruppenbezeichner darauf zuzugreifen. Einige dieser Gruppen ergeben sich ganz natürlich aus den in jeder praktischen Schaltung enthaltenen funktionellen Blöcken, zu denen die einzelnen Bauelemente gehören. Sie können natürlich auch zusätzlich definiert werden, wenn es die Formulierung der Constraints vereinfacht.

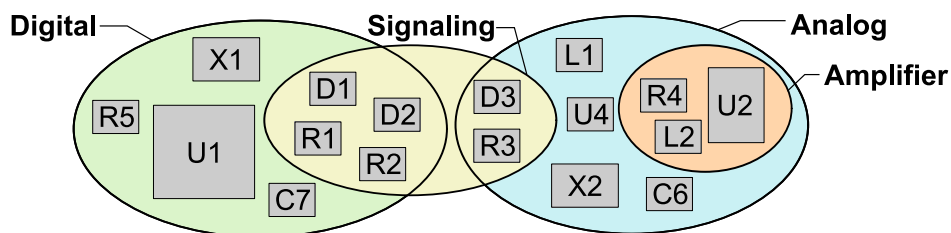


Abbildung 3.14.: Beispiel für die Gruppierung von Bauelementen

Abbildung 3.14 zeigt ein fiktives Beispiel. Dort werden die Bauelemente einer Schaltung zunächst in zwei Gruppen eingeteilt, den analogen Teil (**Analog**) und den digitalen Teil (**Digital**). Für jede dieser Gruppen können nun unterschiedliche Regeln definiert werden. Beispielsweise wäre es möglich festzulegen, daß der komplette Analogteil auf einer Ebene liegt und der Digitalteil auf einer anderen – eine in der Praxis durchaus übliche Vorgehensweise.

Bauelementgruppen müssen nicht notwendigerweise disjunkt sein. Teilmengen von Gruppen können wiederum zu weiteren Gruppen zusammengefaßt werden. So lassen sich im gezeigten Beispiel besonders kritische Teile des Analogteils zu einer Untergruppe **Amplifier** zusammenfassen, um diese gesondert zu behandeln.

Auch das Zusammenfassen von Teilmengen unterschiedlicher Gruppen zu einer Neuen ist möglich. Im Beispiel faßt die Gruppe **Signaling** Teile aus **Analog** und **Digital** zusammen.

3.4.4. Zusätzliche Attribute

Neben all den im Abschnitt 3.4 bereits beschriebenen Eigenschaften können den einzelnen Bauelementen außerdem noch *zusätzliche Attribute* zugewiesen werden. Beispiele für solche Zusatzinformationen sind:

- Thermische Leistungsabgabe (TDP, engl: **t**hermal **d**esign **p**ower) oder
- Masse des Bauelements.

Diese Attribute können für die Definition zusätzlicher Optimierungsziele jenseits von 'minimales Systemvolumen', 'minimale mittlerer Verdrahtungslänge' usw. genutzt werden. So wäre es zum Beispiel denkbar, bei der Optimierung eine möglichst gleichmäßige Verteilung der TDP anzustreben, um lokale Überhitzungen zu vermeiden.

Als Optimierungsziel ebenso möglich wäre eine besonders gleichmäßige Masseverteilung über das SiP, um dessen Unwucht zu minimieren. Wichtig ist dies vor allem bei Systemen, die in besonders ausbalancierte oder sich schnell drehende Körper wie z.B. einen Golfball [4] eingebaut werden sollen.

Auch andere Eigenschaften, die keinen unmittelbaren Einfluß auf die Platzierung haben, können in diesen erweiterten Attributen abgelegt werden. Möglich wären z.B. der Wert des Bauelementes (in pF, Ω , nH, MHz, ...), die Kosten oder Angaben zur Umweltverträglichkeit (RHOI usw.).

3.5. Netzlisten

Die elektrischen Verbindungen zwischen den einzelnen Bauelementen – genauer, zwischen den einzelnen Ports der Bauelemente – gehen aus dem Schaltplan des SiP hervor und sind üblicherweise in Form von Netzlisten (z.B. dem bereits mehrfach erwähnten EDIF-Format) abgelegt. Dafür werden alle Ports aller Bauelemente in disjunkte Gruppen – Netze – aufgeteilt. Alle Ports eines Netzes sollen auf gleichem elektrischen Potential liegen und müssen daher verbunden werden.

Wie das geschieht, ist in erster Näherung zunächst egal. Ein Optimierungsansatz wäre, die Platzierung der Bauelemente und die Verbindungen so zu wählen, daß die Leitungslänge minimal wird.

An der Stelle sei angemerkt, daß in dieser Arbeit mit 'Leitungslänge' generell die Länge der entsprechenden *Airwires*, also der direkten Verbindungen zwischen zwei verschiedenen Pads gemeint ist (siehe dazu auch Abschnitt 3.4.2). Sie kann auf

unterschiedliche Art abgeschätzt werden. Im Moment wird vom Platzierungsalgorithmus die Manhattan-Metrik verwendet. Präzisere Abschätzungen sind denkbar.

Der Ansatz, alle Pads innerhalb eines Netzes beliebig zu verbinden, reicht jedoch nicht für jede Schaltung aus. Vor allem bei Netzen wie der Spannungsversorgung (VCC) oder Masse (GND) ist oft die Reihenfolge entscheidend, mit der die Pads untereinander verbunden werden. So ist es z.B. in der Praxis meist erforderlich, die positive Spannungsversorgung zunächst mit dem Pad eines Pufferkondensators zu verbinden, bevor dann von diesem Pad alle anderen Verbindungen abzweigen.

Sind analoge und digitale Komponenten im System vorhanden, so ist es zudem üblich, das Versorgungsnetz in einen analogen und einen digitalen Teil (A_VCC und D_VCC bzw. A_GND und D_GND) aufzuteilen, um Störungen zwischen den beiden Bauelemente-Gruppen zu minimieren. Im obigen Beispiel würde also vom GND-Pad des Pufferkondensators ein analoges und ein digitales GND-Netz abzweigen. Der analoge Teil ist mit den Pads der Analog-Baugruppen und der digitale mit denen der Digital-Baugruppen verbunden. Nach dieser Verzweigung berühren sich analoges und digitales Teilnetz nicht mehr (Abbildung 3.15).

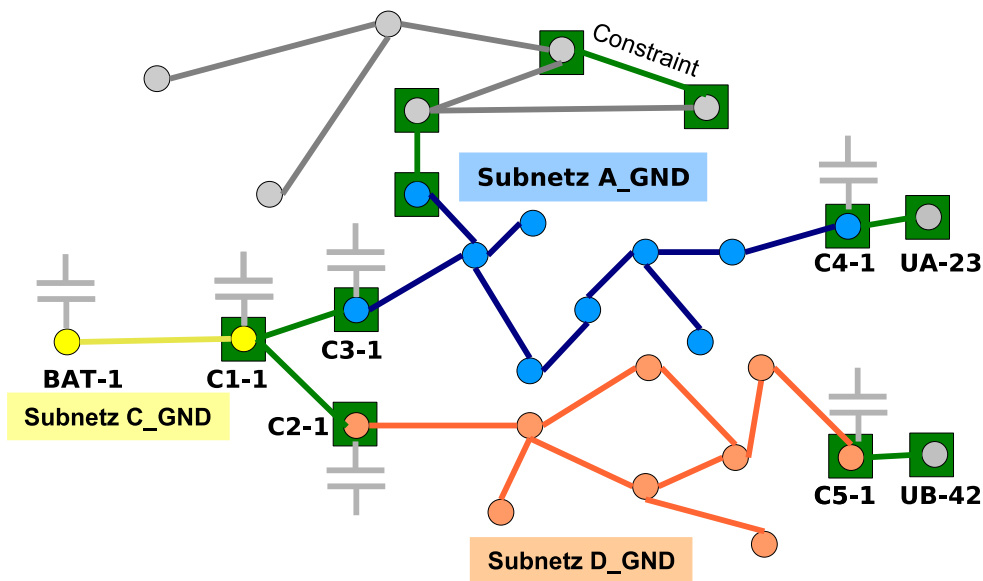


Abbildung 3.15.: Netz mit Subnetzen und expliziten Verbindern

Aus diesen Überlegungen lassen sich drei zusätzliche Vorgaben ableiten, die bei der Verbindung der Pads innerhalb eines Netzes berücksichtigt werden müssen:

1. Es muß möglich sein, bestimmte Verbindungen explizit vorzugeben. (z.B. Pluspol mit Kondensatorpad)

2. Es muß möglich sein zu verhindern, daß während der algorithmischen Platzierung von bestimmten Pads (z.B. Pluspol) weitere Verbindungen abzweigt werden.
3. Es muß möglich sein zu verhindern, daß bestimmte Pads direkt miteinander verbunden werden, obwohl sie zum gleichen Netz gehören.

Neben diesen drei Zusatzbedingungen ist noch ein weiterer Aspekt zu berücksichtigen. In Abschnitt 3.7.2 werden unter anderem Constraints vorgestellt, die sich auf einzelne Verbindungen beziehen. Um solche *verbindungsbezogenen Constraints* überhaupt definieren zu können, muß jedoch zunächst sichergestellt sein, daß zwischen den angegebenen Pads überhaupt eine direkte Verbindung besteht. Dies ist ja bei einer freien Wahl der Verbindungswege innerhalb eines Netzes nicht zwingend der Fall.

Um die genannten Aspekte modellieren zu können, werden zusätzlich zum einfachen Netz zwei weitere Konstrukte definiert: *Subnetze* und *explizite Verbinder*.

3.5.1. Explizite Verbinder (EC)

Explizite Verbinder (EC, engl. explicit connectors) haben genau wie Netze einen eindeutigen Namen. Sie besitzen aber im Gegensatz zu diesen lediglich zwei Pads: ein Start- und ein Endpad. Sie schreiben zwischen diesen beiden Pads – die natürlich beide zum gleichen Netz gehören müssen – eine Verbindung vor, die später vom Optimierungsalgorithmus nicht mehr verändert werden darf.

Diese explizit definierte Verbindung kann dann dazu genutzt werden, Constraints festzulegen, die zwischen diesen beiden Pads gelten sollen (siehe Abschnitt 3.7.2).

Über die Angabe mehrerer ECs ist es dann auch möglich, eine bestimmte Padreihenfolge zu erzwingen. Abbildung 3.15 zeigt eine solche Definition beispielhaft für das oben angegebene Kondensator-Beispiel: Pad BA-1 muß zunächst mit C1-1 verbunden werden, bevor eine Aufspaltung zu C2-1 und C3-1 stattfinden kann.

3.5.2. Subnetze

Um die oben angesprochene Trennung einzelner Bereiche eines Netzes voneinander umsetzen zu können, wird das Konzept der *Subnetze* eingeführt.

Subnetze können bei Bedarf als Untergruppen normaler Netzen definiert werden. Sie sind genau wie diese jeweils durch eine Menge von Pads gegeben. Dabei gelten die folgende Regeln:

- Die Untergruppen müssen disjunkt sein. Kein Pad darf zu mehreren Gruppen (Subnetzen) gehören.
- Alle Pads eines Subnetzes dürfen (vom Optimierungsalgorithmus) beliebig verbunden werden.
- Auch innerhalb der Subnetze bzw. im Hauptnetz kann es explizite Verbinder (ECs) geben, um bestimmte Verbindungen zu erzwingen z.B. um ihnen ein Constraint zuzuweisen.
- Es dürfen keinesfalls Verbindungen zwischen Pads verschiedener Subnetze hergestellt werden. Diese können nur vom Designer durch vorgegebene ECs miteinander verbunden werden.

Natürlich müssen alle Subnetze miteinander verbunden sein. Es dürfen keine isolierten 'Inseln' entstehen. Daher muss für jedes Subnetz mindestens eine explizite Verbindung zu einem anderen Subnetz oder zum Hauptnetz angegeben sein. Der Zusammenhang des Netzes muß also vom Designer sichergestellt werden. Sollten sich bei der Definition der ECs Fehler einschleichen – was bei komplexeren Projekten nicht auszuschließen ist – so würden die entstehenden 'Inseln' zu Fehlern bei der Verdrahtung und damit höchstwahrscheinlich zur Funktionsunfähigkeit des SiP führen. Es ist jedoch zumindest prinzipiell möglich, mit Hilfe einer Konsistenzprüfung (Graphen-Zusammenhangstest) sicherzustellen, daß alle Pads eines Netzes irgendwie miteinander verbunden sind.

Ein Beispiel für das Zusammenspiel von Subnetzen und Expliziten Verbindern ist in Abbildung 3.15 dargestellt. Alle gezeigten Pads gehören zum Ground-Netz (GND). Innerhalb des Netzes GND existieren drei Subnetze, D_GND, A_GND und C_GND. Sie werden durch die blauen, gelben bzw. orangen Pads definiert. Die Verbindungen zwischen Pads eines Subnetzes können vom Optimierungsalgorithmus frei gewählt werden.

Die 'Brücken' zwischen den Subnetzen werden durch die expliziten Verbindungen geschlagen. Definiert sind diese durch Padpaare, in diesem Fall:

$$\{C1-1:C2-1\}, \{C1-1:C3-1\}, \{C5-1:UB-42\}, \{C4-1:UA-23\}$$

usw. Das verhindert erstens Berührungen von A_GND und D_GND nach der Abzweigung an C1-1 und zweitens, daß weitere Verbindungen direkt von BAT-1 abzweigen, ohne zunächst C1-1 zu passieren.

Für die grauen Pads des ist nichts definiert. Sie gehören keinem Subnetz an und können untereinander beliebig verbunden werden. Verbindungen mit einem der anderen Subnetze sind jedoch nicht gestattet. Eine solche Verbindung muß durch einen EC explizit angegeben werden.

3.6. Beschreibung vertikaler Verbinder (VIC)

Vertikale Verbinder (VICs) stellen die elektrischen Verbindungen zwischen verschiedenen Ebenen her. Sie werden nicht wie Bauelemente explizit benannt und erzeugt, sondern entstehen dynamisch während der Platzierung. Nötig werden sie immer dann, wenn Pads eines Netzes über mehr als eine Ebene verteilt liegen.

VICs können aus mehreren Gründen nicht einfach mit Hilfe spezieller Bauelemente (Testpads, Stecker o.ä.) dargestellt werden. Erstens ist zum Zeitpunkt der Modellierung noch gar nicht klar, an welchen Stellen sie überhaupt benötigt werden. Zweitens ändern VICs – anders als die bisher modellierten Bauelemente – ihre Größe abhängig von den äußeren Gegebenheiten und ihrer Platzierung (siehe Abschnitt 2.1.4).

Benötigt wird also ein **dynamisches**, geometrisches Modell, daß präzise genug ist, den von den VICs benötigten Raum mit ausreichender Genauigkeit abzuschätzen. Andererseits muß dieses Modell aber auch so allgemein anwendbar sein, daß verschiedenste Arten von vertikalen Verbindern (Solderbump, Flex, Steckverbinder etc.) damit beschrieben werden können.

3.6.1. Allgemeines Geometriemodell

In dem hier gewählten Modellierungsansatz werden alle Arten von VICs durch einen umhüllenden Quader der Grundfläche $x_{VIC} \cdot y_{VIC}$ und der Höhe h approximiert. Eine Unterscheidung zwischen Technologie- und Basisquader (wie bei Bauelementen) ist bei vertikalen Verbindern nicht mehr sinnvoll. Sie bestehen ja ausschließlich „aus AVT“. Der Basisquader ist also zu einem Punkt geworden.

Minimale und maximale Höhe

Die Höhe h ist nicht vorgegeben. Sie ergibt sich durch den Abstand der beiden benachbarten Substrate s_i und s_{i+1} , die der VIC verbindet. Ein VIC wird dabei grundsätzlich dem oberen Substrat s_i zugeordnet. Der Substrat-Spalt wird auch als Gap G bezeichnet (siehe Abschnitt 2.1.4). Er ergibt sich während der algorithmischen Platzierung der Bauelemente und entspricht mindestens der z -Ausdehnung des (inklusive Technologiequader) höchsten Bauelementes zwischen s_i und s_{i+1} (siehe Abbildung 3.16).

Trotzdem gelten für die Höhe des VIC gewisse technologische Grenzwerte, die durch

$$h_{VIC,min} \leq h_{VIC} \leq h_{VIC,max} \quad (3.28)$$

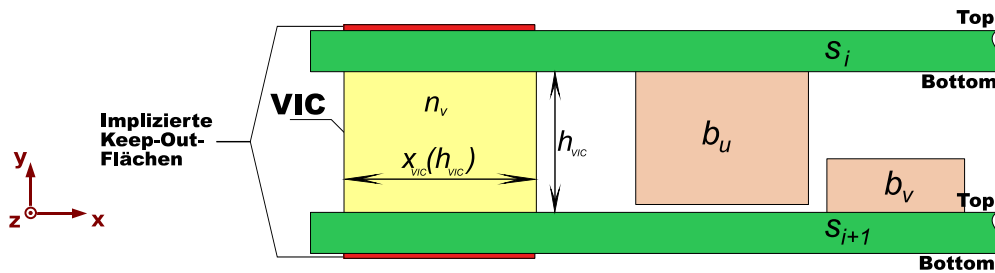


Abbildung 3.16.: Modellierung von VICs als dynamische Quader

gegeben sind. Innerhalb dieser Grenzen wird die VIC-Höhe durch den Substrat-Gap bestimmt. Werte von G kleiner als h_{min} bzw. größer als h_{max} dürfen bei der Platzierung nicht auftreten. Eine Verletzung dieser Einschränkung führt zu einem technologisch nicht realisierbaren Platzierungsvorschlag (der gewählte VIC-Typ kann z.B. die Lücke zwischen den Substraten nicht mehr überbrücken) und damit zu einer ungültigen Lösung.

Anzahl der Signale

Ein wichtiger Parameter ist die Anzahl der unterschiedlichen Verbindungen n_v die ein VIC gleichzeitig herstellen kann.

Bei einem Solder-Bump gilt naturgemäß immer $n_v = 1$. Bei Flex-Verbindern jedoch wird die Sache schon interessanter. Die Anzahl der parallel übertragbaren Signale wird dort sowohl von der Größe, als auch aus der Anzahl der Signallagen im gefalteten Substrat bestimmt (siehe Abschnitt 3.6.3).

Laterale Abmessungen

Bei Bauelementen sind die lateralen Abmaße lediglich vom Package und von der AVT (Substrateigenschaften, gewählte Verbindungstechnik) abhängig. Sie konnten vor Beginn der Optimierung durch gegebene TQ-Gleichungen (z.B. 3.17, 3.18, 3.19 und 3.20) berechnet und anschließend dem Platzierungsalgorithmus als Quader unveränderlicher Grundfläche übergeben werden. Bei VICs kommt jedoch noch eine Abhängigkeit vom zu überbrückenden Substratspalt G und damit von h_{VIC} hinzu. Da sich G und damit auch h_{VIC} wie oben dargestellt erst durch die Platzierung der Bauelemente ergibt, ist eine vorgelagerte Berechnung unmöglich. Die vorher konstanten lateralen Abmaße werden zu Funktionen der VIC-Höhe $x_{VIC}(h_{VIC})$; $y_{VIC}(h_{VIC})$ und müssen in dieser Form auch dem Optimierungsalgorithmus übergeben werden.

Wie genau die Funktionen aussehen hängt vom Typ der vertikalen Verbinder ab. Bei den (für SiP nicht relevanten) Steckverbindern besteht keine Höhenabhängigkeit. $x_{VIC}(h_{VIC})$ und $y_{VIC}(h_{VIC})$ werden mit Konstanten belegt, die sich wie bei Bauelementen ausschließlich aus Packageabmaßen und technologischen Parametern ergeben. Für Flex- und Solderbump-Verbinder existiert jedoch durchaus eine Höhenabhängigkeit, die mit Hilfe der zwei Funktionen beliebig genau modelliert werden kann.

Implizite Keepout-Flächen

Ein VIC hat nicht nur eine bestimmte (dynamisch veränderliche) Größe, er wirkt auch auf seine Umgebung. So gibt es bestimmte Typen (z.B. Flex-Verbinder), die eine Bestückung auf den Gegenseiten des Substrates, also auf dem Top-Layer von s_i und dem Bottom-Layer von s_{i+1} unmöglich machen. Bei anderen (z.B. Solderbump-Verbinder) wiederum steht einer Platzierung anderer Elemente auf den Gegenseiten nicht im Wege.

Um diese Eigenschaft zu erfassen, werden zwei Wahrheitswerte

$$a_{VIC,top}; a_{VIC,bot} \in \{0; 1\} \quad (3.29)$$

definiert. Hat einer der Parameter den Wert 1, muß auf der Gegenseite des entsprechenden Substrates ein verbotener Bereich (keepout area) mit der gleichen Größe wie die VIC-Grundfläche vorgesehen werden. In diesem Bereich ist dann die Platzierung jeglicher Elemente (Bauelemente oder VICs) untersagt. Ein Wert von 0 bedeutet, daß auf der Entsprechenden Seite beliebige Platzierungen vorgenommen werden dürfen, sofern keine anderen Einschränkungen (siehe Abschnitt 3.7) dagegensprechen.

Tabelle 3.4.: Modellierte VIC-Parameter

VIC-Parameter	
Minimale und maximale Höhe	$h_{VIC,min} , h_{VIC,max}$
Dynamische laterale Ausdehnung	$x_{VIC}(h_{VIC}) , y_{VIC}(h_{VIC})$
Anzahl gleichzeitig übertragbarer Verbindungen	n_v
Implizite Keepout-Flächen	$a_{VIC,top}; a_{VIC,bot} \in \{0; 1\}$

3.6.2. Beispiel: Solderball

Der im vorhergehenden Abschnitt beschriebene Ansatz für ein allgemeines geometrisches VIC-Modell soll im Folgenden exemplarisch auf die betrachteten Flex- und Solderbump-Verbinder angewendet werden.

Wie in Abschnitt 2.1.4 ausgeführt, hängt der Durchmesser d_b der Lotkugeln und damit der minimal erreichbare Pitch p_b von dem zu überbrückenden Substratspalt G ab.

Umhüllt man die einzelnen Solderbump-Verbinder derart mit Quadern, daß sich diese genau berühren, wenn die Bumps mit minimalem Pitch p_b platziert sind, so ergibt sich nach den Gleichungen 2.6 auf Seite 34 für die lateralen Abmessungen dieser Quader

$$x_{VIC}(h_{VIC}) = \max \{3h_{VIC}; (1, 25 \cdot l_w + \max \{1, 3h_{VIC}; l_s\})\} \quad (3.30)$$

$$y_{VIC}(h_{VIC}) = x_{VIC}(h_{VIC}) \quad (3.31)$$

Der minimal bzw. maximal überbrückbaren Substratspalt bestimmt den Bereich, in dem sich die Quaderhöhe h_{VIC} bewegen darf. Er ist abhängig davon, mit welcher Technik die Solderbumps erzeugt werden. Verwendet man vorgefertigte Lotkugeln, kann eine Übersicht über lieferbare Standard-Lotkugelgrößen (siehe Tabelle A.10 auf Seite 115 im Anhang) als Anhaltspunkt dienen. Hieraus leitet sich als ungefähre Schätzung

$$h_{VIC,min} \approx 80\mu m \quad (3.32)$$

$$h_{VIC,max} \approx 880\mu m \quad (3.33)$$

ab. Ein Solderbump-Verbinder beeinträchtigt die Bestückung auf den Substrat-Gegenseiten nicht, so daß keinerlei implizite Keepout-Flächen vorgesehen werden müssen. Damit ergibt sich

$$a_{VIC,top} = a_{VIC,bot} = 0 \quad (3.34)$$

3.6.3. Beispiel: Flex-Verbinder

Bei der Approximation der Flex-Verbinder durch umhüllende Quader gibt es zwei Möglichkeiten. Erstens: Der Quader wird seitlich an den Substratkanten angesetzt. In diesem Fall entspricht die Höhe dem Substratspalt G zuzüglich der Substratdicken. Es gilt

$$h_{VIC}(G) = G + 2t_{subst} \quad (3.35)$$

Geht man davon aus das der Quader den gesamten Flex-VIC umschließen soll, entspricht dieser Ansatz besser der Realität, da die oberen und unteren Substratstücke ja eigentlich Bestandteile des VIC sind.

Nachteilig ist jedoch, daß die vom VIC benötigte Grundfläche in diesem Fall nicht von der zur Verfügung stehenden Substratfläche abgezogen wird und so das Platzierungsergebnis verfälscht wird. Auch vorgegebene maximale Systemabmaße, die

im Moment über die Beschränkung der Substratfläche modelliert werden (siehe Abschnitt 3.7.2) werden dadurch unterlaufen, da die Flex-VICs zusätzlich zu den lateralen Abmaßen beitragen. Nicht zuletzt bringt dieser Ansatz auch einen höheren Modellierungsaufwand mit sich, da Solderbump- und Flex-VICs unterschiedlich behandelt werden müssen.

Die zweite Möglichkeit ist, den Flex-VIC ebenfalls „zwischen den Substraten“ zu platzieren. Die vom VIC belegten Substratteile gehören zwar mit zum Verbinder, der umhüllenden Quader wird jedoch nur so hoch angenommen, daß er den Teil zwischen den Substraten umfaßt. Es gilt wie bei den Solderbump-VICs

$$h_{VIC}(G) = G \quad (3.36)$$

Eine gesonderte Behandlung dieses Typs ist dadurch nicht notwendig. Zudem wird die benutzte Substratfläche korrekt berücksichtigt und die vorgegebenen Außenmaße werden nicht überschritten.

Die minimale Höhe für einen Flex-Verbinder ergibt sich aus Gleichung 2.10 auf Seite 36 zu $h_{VIC,min} = 2r_{min} + 2t_{subst}$ (siehe Abbildung 2.14). Diese Gleichung gilt jedoch für die oben besprochene erste Methode und berücksichtigt zusätzlich die Substratdicke. Zieht man diese ab, ergibt sich mit Gleichung 2.9

$$h_{VIC,min} = 2r_{min} = 2 \cdot (2,625 \cdot t_{subst} - t_{top}) \quad (3.37)$$

$$= 5,25 \cdot t_{subst} - 2t_{top} \quad (3.38)$$

Geht man also davon aus, daß $G \geq 2r_{min}$ gilt, die Substrate also nicht dichter zusammenrücken dürfen als es der maximal gebogene Flex-Verbinder erlaubt, vereinfacht sich Gleichung 2.11. Für die x-Ausdehnung der Quadergrundfläche ergibt sich

$$x_{VIC}(h_{VIC}) = \frac{1}{2}h_{VIC} + t_{subst} \quad (3.39)$$

Die y-Ausdehnung ist unabhängig von G bzw. h_{VIC} . Hier spielt lediglich die Breite des Leitungssegmentes, daß die elektrische Verbindung herstellt, sowie der minimal nötige Abstand zwischen zwei Segmenten eine Rolle. Es gilt also

$$y_{VIC} \neq f(h_{VIC}) = l_w + l_s \quad (3.40)$$

Tabelle 3.5.: VIC-Einflußgrößen für Flex- und Solderbump-Verbinder

	Solderbump-VIC	FlexVIC
VIC		
Anz. gleichzeitiger Verb.	$n_v = 1$	$n_v \geq 1$
Implizite Keepout-Flächen	$a_{VIC,top} = a_{VIC,bot} = 0$	$a_{VIC,top} = a_{VIC,bot} = 1$
minimale Höhe $h_{VIC,min}$	$\approx 80\mu m$	durch Substrat bestimmt
maximale Höhe $h_{VIC,max}$	$\approx 800\mu m$	theoretisch ∞
x-Ausdehnung $x_{VIC} (h_{VIC})$	durch Substrat bestimmt	durch Substrat bestimmt
y-Ausdehnung $y_{VIC} (h_{VIC})$	durch Substrat bestimmt	durch Substrat bestimmt
Substrat		
min. Leitungsabstand l_s	wirkt auf $x_{VIC} (h_{VIC}), y_{VIC} (h_{VIC})$	wirkt auf $y_{VIC} (h_{VIC})$
min. Leitungsbreite l_w	wirkt auf $x_{VIC} (h_{VIC}), y_{VIC} (h_{VIC})$	wirkt auf $y_{VIC} (h_{VIC})$
Substratdicke t_{subst}	—	wirkt auf $x_{VIC} (h_{VIC})$

3.7. Constraints

Wie bereits in der Anforderungsanalyse in Abschnitt 3.1 festgestellt, ist nicht jede theoretisch mögliche Anordnung der Bauelemente in der Praxis elektrotechnisch sinnvoll. Es existieren für jede Schaltung gewisse Nebenbedingungen, die bei der Platzierung der Elemente berücksichtigt werden müssen, um die Funktion sicherzustellen.

Das Modell muß also die Möglichkeit bieten, diese zusätzlichen Nebenbedingungen mit Hilfe eines endlichen Satzes von Regeln zu formulieren. Diese Regeln – im Folgenden als Constraints bezeichnet – werden dann zusammen mit der bisher erarbeiteten geometrischen Schaltungsbeschreibung dem Platzierungsalgorithmus übergeben.

An dieser Stelle sei noch einmal betont, daß das Modell **nicht** von selbst alle denkbaren Wechselwirkungen (elektromagnetisch, thermisch etc.) zwischen allen Elementen des SiP erfaßt und berücksichtigt. Dies würde – falls es überhaupt möglich ist – den Rahmen einer Diplomarbeit bei Weitem sprengen. Stattdessen erhält der Entwickler die Möglichkeit, selbst Regeln und Verbote für seine Schaltung festzulegen. Er bringt das Expertenwissen ein. Es steckt nicht im Modell.

3.7.1. Mögliche Vorgaben

In diesem Abschnitt soll zunächst herausgearbeitet werden, welche Arten von Nebenbedingungen existieren. Was für Vorgaben sind eventuell nötig? Welche unerwünschten Effekte können auftreten und wie lassen sich diese durch eine geänderte

Platzierung reduzieren? Im darauf folgenden Abschnitt wird daraus dann ein Satz von Constraints für das Modell abgeleitet.

Äußere Beschränkungen

Ein SiP ist in der Regel Teil eines größeren Systems, in das es in irgendeiner Art und Weise eingepaßt werden muß. Oft werden dafür bestimmte Abmessungen gefordert, die nicht überschritten werden dürfen. Es muß also möglich sein, sowohl für die lateralen Abmessungen, als auch für die Gesamthöhe des SiP bestimmte Maximalwerte vorzugeben.

Zusätzlich zur Maximalgröße kann auch eine bestimmte Form vorgegeben sein. In der Modellierung werden alle gestapelten Substrate als gleich große Rechtecke angenommen, die auf der gesamten Fläche sowohl mit Bauelementen als auch mit VICs belegt werden können. Sind jedoch Aussparungen für mechanische Teile, Halterungen, Antennen oder ähnliches gefordert, müssen bestimmte Bereiche freigehalten werden.

Funktionelle Aspekte

Für die korrekte Funktion verschiedener Bauelemente ist es unter Umständen wichtig, wo im SiP sie positioniert sind. Sollte das SiP über Sensoren verfügen (Licht, Gas, Temperatur etc.), so müssen diese z.B. an den Außenseiten des SiP platziert werden, um eine ordnungsgemäße Medienankopplung zu gewährleisten.

Auch optische Signalisierungselemente wie LEDs müssen außen (also z.B. auf dem Top-Layer der obersten Ebene) liegen, damit man sie erkennen kann. Möglicherweise genügt auch eine Platzierung auf einem der Innenmodule, wenn sichergestellt werden kann, daß sie direkt am Rand des Substrates platziert werden.

Für besondere Anforderungen kann es sogar notwendig werden, die Freiheit bei der Platzierung solcher Elemente noch weiter einzuschränken. Denkbar ist z.B., daß sich optische Elemente an fest vorgegebenen Positionen oder in bestimmten Bereichen auf einem Modul befinden müssen. Auch die Forderung, z.B. LEDs aus ästhetischen Gründen entlang einer Linie auszurichten, erscheint nicht abwegig.

Technologische / produktionstechnische Rahmenbedingungen

Technologische Rahmenbedingungen auf Bauelementeebene werden bereits durch die im Abschnitt 3.4.1 beschriebenen Technologiequader erfaßt. Einige globale Vorgaben müssen jedoch auf Modul- bzw. Substratebene modelliert werden.

So muß es beispielsweise möglich sein, die Anzahl der Module aus technologischen, fertigungstechnischen oder Kostengründen zu beschränken. Möglicherweise ist das Substrat auch nicht komplett bestückbar, so daß einige Bereiche freigehalten werden müssen. Oder Bauelemente sollen aus anderen Gründen innerhalb bestimmter Bereiche oder sogar an festen Positionen liegen. Denkbar wäre dies z.B. beim Verkapseln einzelner Substratbereiche nach der Bestückung. Ähnliche Anforderungen gelten für vertikale Verbinder.

Kopplungseffekte

Werden viele elektronische Komponenten auf engstem Raum integriert, rücken besonders die verschiedenen Kopplungseffekte ins Blickfeld. Zu nennen sind da elektromagnetische (kapazitive und induktive) Überkopplungen, sowie thermische und optische Kopplungseffekte.

Beispiele für elektromagnetische Kopplungen sind z.B. Störeinstrahlungen eines getakteten Bauelements (Microcontroller, DSP, etc.) auf analoge Verstärkerschaltungen, Sensoren oder ähnliches.

Hier gibt es mehrere Möglichkeiten, dem entgegenzuwirken. Zunächst ist es sinnvoll, analoge und digitale Teile möglichst zu separieren. Zusätzlich sollten störempfindliche Bauelemente einen gewissen Mindestabstand zu solchen mit hoher Störausstrahlung einhalten. Um induktive Überkopplungen zwischen Spulen zu minimieren, dürfen diese zudem nicht parallel liegen.

Thermische Kopplung tritt zum Beispiel auf, wenn sich ein wärmesensitives Bauelement wie z.B. ein Temperatursensor in der Nähe eines Bauelements mit großer TDP befindet. In diesem Fall ist die Kopplung unerwünscht, es muß also möglich sein, den Bauelementen einen gewissen Mindestabstand vorzugeben. In anderen Fällen kann sie aber auch durchaus erwünscht sein, beispielsweise wenn die Temperaturüberwachung eines Bauteils realisiert werden soll. In diesem Fall sollten beide Partner möglichst dicht beieinander liegen.

Auch optische Elemente können einander beeinflussen. Dies kann entweder unerwünscht (Signalisierungs-LED scheint auf Lichtsensor) oder erwünscht sein. Hier müssen – wie bei thermischer Kopplung – Kontrollmöglichkeiten geboten werden.

Signalintegrität

Eng verwandt mit der elektromagnetischen Störeinkopplung ist das Thema Signalintegrität. Um hier genaue Aussagen treffen zu können, ist prinzipiell die Betrachtung des exakten Verlaufes der Leiterbahnen (Feinverdrahtung) im SiP

notwendig. Deren Geometrie ist mitbestimmend für die Verzerrungen, die das Signal auf dem Weg erfährt. Ihre exakte Länge bestimmt kritische Parameter wie die Signallaufzeit.

Eine ungefähre Berücksichtigung solcher Parameter ist jedoch auch auf Basis des in dieser Arbeit verwendeten Airwire-Modells möglich. So läßt sich die Länge der Verbindungen zwischen zwei Pads sehr einfach über die Manhattan-Metrik abschätzen. Damit sind zwar keine präzisen Vorgaben für maximal zulässige Signallaufzeiten umsetzbar, es lassen sich jedoch grobe Vorgaben über die maximal erlaubte Länge kritischer Verbindungen realisieren.

Neben der Leitungslänge wirken sich auch die vertikalen Verbinder auf die Signalintegrität aus. Sie stellen Diskontinuitäten im Leitungsverlauf dar und sollten bei kritischen Verbindungen möglichst gemieden werden. Man sollte also vorgeben können, wieviele VICs pro Verbindung maximal zugelassen sind.

Testbarkeit

Ein weiterer wichtiger Aspekt ist die Testbarkeit einer Schaltung. Möchte man Bauelemente tauschen oder Signale von VICs oder Testpads abnehmen können, müssen diese von außen erreichbar sein. Hier sind die selben Vorgaben wie bei Signalisierungselementen sinnvoll. Solche Bauelemente sollten entweder auf dem Top-Layer des obersten oder auf dem Bottom-Layer des untersten Moduls liegen. Für VICs bietet sich auch der Rand eines beliebigen Innenmoduls an.

Möglicherweise ist auch die Platzierung an bestimmten Punkten oder zumindest in bestimmten Bereichen vorgegeben, wenn z.B. Modulteile nach der Assemblierung des SiP nicht mehr zugänglich sind.

3.7.2. Benötigte Constraints

In diesem Abschnitt wird aus den zusammengetragenen Nebenbedingungen, die eventuell beim Platzieren zu berücksichtigen sind, ein Satz von Constraints abgeleitet, mit denen sie modelliert werden können. Erklärtes Ziel dabei ist es, die Zahl der unterschiedlichen Constraints so gering wie möglich zu halten. Jeder weitere Constraint-Typ erhöht die Komplexität des Optimierungsalgorithmus, was dessen Implementierung erschwert und den Aufwand bei der Berechnung erhöht.

Es ist sinnvoll, die verschiedenen Constraints zunächst nach den Elementen zu ordnen, auf die sie sich beziehen. Es gibt globale, bauteilebasierte, VIC-basierte und verbindungsorientierte Constraints.

Jedem Constraint kann eine *Priorität* $p_{con} = [0..5] \in \mathbb{N}_0$ zugeordnet werden. Priorität 0 bedeutet dabei, daß das entsprechende Constraint unbedingt erfüllt werden

muss. Jede Nichterfüllung führt zu einem ungültigen Platzierungsvorschlag. Die Prioritäten $p_{con} > 0$ müssen nicht um jeden Preis erfüllt werden. Ihre Nichterfüllung wird unterschiedlich stark abgestraft. Je größer p_{con} wird, desto unwichtiger ist das Constraint.

Global

Globale Constraints beziehen sich auf das komplette SiP und decken in erster Linie die unter der Überschrift **Äußere Beschränkungen** zusammengefaßten Zusatzbedingungen ab. Vorgegeben werden können maximale (und aus Symmetriegründen auch minimale) Werte für die Anzahl der Module, sowie die y -, y , und z -Abmessung des SiP.

Diese Begrenzungen sind bereits im Abschnitt **Substratbeschreibung** auf Seite 46 eingeführt worden. Es müssen also an dieser Stelle keine gesonderten globalen Constraints mehr definiert werden, um äußere Rahmenbedingungen modellieren zu können.

Bauelementbasiert

Bauelementbasierte Constraints können die Freiheit bei der Platzierung auf zwei verschiedene Arten einschränken. Entweder beziehen sie sich auf die Positionen der Bauelemente *relativ zur Umgebung* (also zum gesamten SiP bzw. einem einzelnen Modul) oder relativ zu anderen Bauelementen. Beispiele sind:

- „*Bauelement C5 muß auf der Oberseite des 2.Moduls sitzen.*“
(Einschränkung relativ zum gesamten SiP)
- „*Die Bauelemente R1, R2 und R3 müssen am Rand des Moduls sitzen.*“
(Einschränkung relativ zu einem – beliebigen – Modul)
- „*Die Bauelem. L1, L2 müssen im Winkel von 90° zueinander liegen.*“
(Einschränkung relativ zu anderen Bauelementen)

Die Constraints können sich entweder auf die Menge aller Bauelemente M_{BE} oder auf beliebige Untermengen $M_{BE,sub} \subseteq M_{BE}$ beziehen. Sind die Elemente in $M_{BE,sub}$ bereits in einer Gruppe (siehe Abschnitt 3.4.3) zusammengefaßt, kann auch der Gruppenbezeichner zur Identifikation herangezogen werden.

Tabelle 3.6 liefert eine Übersicht der in dieser Modellierung vorgesehenen Bauelemente-Constraints, die im Folgenden näher beschrieben werden sollen.

Tabelle 3.6.: Übersicht über Bauelement-Constraints

Relativ zur Umgebung			
Typ	Name	Parameter	Beschreibung
3D	keepIn	$M_{BE,sub}, x, y, s_i, d_x, d_y, d_z$	Alle $M_{BE,sub}$ müssen im Quader der Größe $d_x \cdot d_y \cdot d_z$ liegen, der sich an x, y, s_i befindet.
3D	keepOut	x, y, s_i, d_x, d_y, d_z	Im Quader der Größe $d_x \cdot d_y \cdot d_z$ an x, y, s_i dürfen keinerlei Bauelemente liegen.
2D	boundary	$M_{BE,sub}, M_k$	Alle $M_{BE,sub}$ müssen an einer der Kanten aus M_k anliegen.
V	fixedMod	$M_{BE,sub}, m_i, top/bot$	Alle $M_{BE,sub}$ müssen im Modul m_i liegen (auf <i>top</i> bzw. auf <i>bottom</i> von s_i).
Relativ zueinander			
Typ	Name	Parameter	Beschreibung
3D	group	$M_{BE,sub}, d_x, d_y, d_z$	Alle $M_{BE,sub}$ müssen im Quader der Größe $d_x \cdot d_y \cdot d_z$ liegen.
3D	antigroup	b_i, b_j, d_x, d_y, d_z	b_i und b_j müssen so platziert werden, daß ein Quader der Größe $d_x \cdot d_y \cdot d_z$ dazwischen paßt.
2D	rotation	b_i, b_j, β	b_i und b_j müssen im Winkel $\beta = n \cdot 90^\circ$ zueinander platziert werden ($n = [1..4]$).
2D	alignment	$M_{BE,sub}, \Delta x, \Delta y$	Alle $M_{BE,sub}$ müssen mit weniger als Δx und Δy Abweichung aneinander ausgerichtet sein.
2D	abutment	$b_i, b_j, k_{BQ,u}, k_{BQ,v}$	b_i muß sich mit Kante $k_{BQ,u}$ an Kante $k_{BQ,v}$ von b_j schmiegen.
V	maxModDist	$M_{BE,sub}, n$	Alle $M_{BE,sub}$ dürfen nicht mehr als n Module voneinander entfernt sein.
V	minModDist	b_i, b_j, n	b_i und b_j müssen mindestens n Module voneinander entfernt liegen.

KeepIn / KeepOut: Um Bauelemente in bestimmte Bereiche des SiP zu beschränken, kann mit Hilfe von **keepIn**- bzw. **keepOut**-Constraints ein quaderförmiger Bereich der Ausdehnung $d_x \cdot d_y \cdot d_z$ definiert werden. In diesem Quader, der sich durchaus über mehrere Module erstrecken kann, dürfen dann entweder gar keine Bauelemente platziert werden (**keepOut**) oder bestimmte Mengen $M_{BE,sub}$ von Bauelementen sollen ausschließlich in diesem Bereich platziert werden (**keepIn**).

Die Position des Quaders ist bezogen auf dessen Mittelpunkt. Sie wird in lateraler Richtung durch (x, y) festgelegt. In vertikaler Richtung ist entweder die Angabe eines Substrates s_i oder eine absolute z -Angabe (bezogen auf das oberste Substrat s_1 des SiP) möglich. Die Angabe eines Substrates s_i als Quaderursprung ist in der Regel vorzuziehen, da die konkrete Höhe der einzelnen Module normalerweise

erst nach der Platzierung bekannt ist. Für besondere Anwendungen wie z.B. von außen vorgegebene Aussparungen kann jedoch auch eine konkrete Maßangabe für z hilfreich sein.

Ein Sonderfall ist ein **keepIn**-Constraint mit $M_{BE,sub} = b_i$ und $d_x = d_y = d_z = 0$. Durch einen solchen, auf einen Punkt reduzierten **keepIn**-Quader ist es möglich, das Bauelement b_i an eine bestimmte Position (x, y) im Modul m_i zu zwingen.

Boundary: Einfacher ist das **boundary**-Constraint, daß im Gegensatz zu **keepIn**/**keepOut** nur im 2D-Raum arbeitet. Es gibt vor, daß bestimmte Bauelemente $M_{B,sub}$ am Rand der Substrate liegen sollen. Genauer gesagt wird eine Menge $M_k \subseteq \{k_{Sub,1}; k_{Sub,2}; k_{Sub,3}; k_{Sub,4}\}$ von Substrat-Kanten übergeben. Jedes $b_i \in M_{B,sub}$ muß sich an mindestens eine der in M_k definierten Kanten anschmiegen.

FixedMod: Dieses Constraint schreibt vor, alle Bauelemente der übergebenen Menge $M_{BE,sub}$ im Modul m_i zu platzieren. Ob sie auf der Ober- oder auf der Unterseite von s_i liegen sollen, wird durch die Angabe *top/bottom* festgelegt.

Auf diese Weise können z.B. die im Abschnitt Funktionale Aspekte beschriebenen Vorgaben für Sensoren und Signalisierungselemente umgesetzt werden. Auch für die Testbarkeit des SiPs wichtige Bauelemente können so auf den Außenseiten platziert werden.

Group / Antigroup: Das **group**-Constraint gibt vor, daß sich alle in $M_{BE,sub}$ enthaltenen Bauelemente innerhalb eines Quaders der Größe $d_x \cdot d_y \cdot d_z$ befinden müssen. Ist der Quader kleiner als das von den Bauteilen minimal benötigte Volumen (im Extremfall Null), werden diese einfach so dicht wie möglich zusammengeschoben.

Umgekehrt müssen beim **antigroup**-Constraint die beiden Bauelemente b_i und b_j so platziert werden, daß der beschriebene Quader zwischen sie paßt. Hier wird ein gewisser Mindestabstand im dreidimensionalen Raum vorgegeben. Im Unterschied zum **keepIn**- bzw. **keepOut**-Constraint ist hier keine absolute Position des Quaders vorgegeben. Er darf sich in beliebigen Modules des SiP befinden.

Rotation: Durch **antigroup** lassen sich bereits Mindestabstände von Bauelementen vorgeben. Besteht jedoch das Problem induktiver Kopplung, sollte zusätzlich noch die Ausrichtung der Elemente zueinander vorgegeben werden können.

Das **rotation**-Constraint erlaubt es, für zwei Bauelemente b_i und b_j einen Winkel β vorzugeben, den diese zueinander einnehmen müssen. Um die Komplexität nicht unnötig zu erhöhen, sind lediglich Vielfache von 90° gestattet.

Als Ausgangspunkt für die Orientierung werden die Basisquader der Bauelemente mit ihren jeweiligen Koordinatensystemen verwendet. Bei der Formulierung der Constraint ist jedoch ggf. der innere Aufbau der konkreten Bauelemente mit zu berücksichtigen. Besonders bei Induktivitäten im Chip-Package ist nicht klar, wie die Spule im Inneren des Packages ausgerichtet ist. Aufschluß gibt hier entweder das Datenblatt oder ein Schliff bzw. eine Untersuchung am Röntgenmikroskop.

Abutment: Dieses Constraint schreibt das „anschießen“ zweier Bauelemente b_i und b_j aneinander vor. Es werden zwei Basisquader-Kanten $k_{BQ,u}$ und $k_{BQ,v}$ gegeben. Die Bauelemente müssen so orientiert sein, daß diese Kanten aneinander liegen. Eine Verschiebung gegeneinander ist jedoch immer noch zulässig. Soll auch diese ausgeschlossen werden, muß zusätzlich ein **alignment**-Constraint definiert werden.

Alignment: Legt fest, daß bei der Platzierung mehrerer Bauelemente $M_{BE,sub}$ deren x-, bzw. y-Koordinaten nur um einen gewissen Betrag Δx bzw. Δy voneinander abweichen dürfen. Ein **alignment**-Constraint für b_7 , b_8 und b_{23} mit $\Delta x = 0$ und $\Delta y = \infty$ bewirkt beispielsweise, daß die drei Elemente exakt auf einer parallel zur y-Achse des Substrates liegenden Linie ausgerichtet werden müssen. In der anderen Richtung besteht keine Beschränkung.

Max-/ MinModDist: Wie im Abschnitt Signalintegrität beschrieben, spielt bei kritischen Netzen die Anzahl der passierten vertikalen Verbinder eine entscheidende Rolle. Die zu den Netzen gehörenden Bauelemente dürfen also nicht zu viele Ebenen voneinander entfernt platziert werden.

Diese Vorgabe kann durch Angabe einer maximalen Modulentfernung mit **maxModDist** umgesetzt werden. Eine Entfernung von $n = 0$ bedeutet dabei, daß sich alle Bauelemente in $M_{BE,sub}$ auf der gleichen Ebene, also im gleichen Modul befinden müssen. Bei $n = 1$ sind auch die benachbarten Module m_{i-1} und m_{i+1} erlaubt.

Ein **maxModDist(0)** wird auch durch ein **fixedMod**-Constraint impliziert. Auch dort müssen alle Bauelemente auf einer Ebene liegen. Diese ist jedoch fest vorgegeben. Im Unterschied dazu erlaubt **maxModDist(0)** die Platzierung auf einer beliebigen Ebene, solange nur alle geforderten Bauelemente zusammen dort liegen.

Genau umgekehrt wirkt **minModDist**. Es gibt an, wieviele Ebenen zwei Bauelemente b_i und b_j mindestens voneinander entfernt platziert werden müssen. Dies kann in Fällen hilfreich sein, in denen eine gegenseitige Beeinflussung minimiert werden soll, die Präzision eines **antigroup**-Constraints aber nicht benötigt wird.

VIC-basiert

VICs werden grundsätzlich nicht vom Modell vorgegeben. Sie entstehen dynamisch während der Platzierung, und zwar immer dann, wenn Bauelemente so angeordnet werden, daß ein oder mehrere Netze über mehrere Ebenen hinweg verbunden werden müssen.

Trotzdem kann es sinnvoll sein, auch für die Platzierung der VICs Einschränkungen zu definieren. Im Unterschied zu Bauelementen müssen die VICs dafür jedoch nicht explizit benannt werden, da sie ja zu diesem Zeitpunkt noch gar nicht existieren. Stattdessen werden die Constraints für ein bestimmtes Modul m_i definiert und gelten dann für alle VICs, dieses Moduls. Wie in Abschnitt 3.3 festgelegt, werden einem Modul m_i all diejenigen VICs zugerechnet, die das Substrat s_i mit s_{i+1} verbinden, also „nach unten“ zeigen (siehe dazu Abbildung 3.3 auf Seite 47).

Die VIC-Constraints leiten sich von denen der Bauelemente ab und werden im Folgenden vorgestellt. Tabelle 3.8 liefert wiederum eine Zusammenfassung.

Tabelle 3.7.: Übersicht über VIC-basierte Constraints

Typ	Name	Parameter	Beschreibung
2D	keepIn	m_i, x, y, d_x, d_y	Alle VICs von m_i müssen im Rechteck der Fläche $d_x \cdot d_y$ liegen, das sich an (x, y) befindet.
2D	keepOut	m_i, x, y, d_x, d_y	Im Rechteck der Fläche $d_x \cdot d_y$, das sich an (x, y) auf Modul m_i befindet, dürfen keinerlei VICs liegen.
2D	boundary	m_i, M_k	Alle VICs von Modul m_i müssen an einer der Kanten aus M_r anliegen.

KeepIn / KeepOut: Anders als die entsprechenden Bauelemente-Constraints sind **keepIn** und **-Out** für VICs rein zweidimensional. Es werden lediglich Rechtecke der Größe $d_x \cdot d_y$ auf dem jeweiligen Modul m_i vorgegeben, in denen sämtliche VICs liegen müssen bzw. in denen sich gar keine VICs befinden dürfen. Bezugspunkt für die Positionierung der Rechteckflächen ist wieder dessen Mittelpunkt.

Boundary: Aus fertigungstechnischen Gründen zu Testzwecken kann es auch für VICs nötig sein, daß sie am Rand des Substrates platziert werden. Beim **boundary**-Constraint wird – analog zum entsprechenden Constraint für Bauelemente – eine Menge von Substratkanten $M_k \subseteq \{k_{Sub,1}; k_{Sub,2}; k_{Sub,3}; k_{Sub,4}\}$ übergeben. Alle VICs des Moduls m_i müssen daraufhin so platziert werden, daß sie mindestens eine der angegebenen Kanten berühren.

Verbindungsorientiert

Verbindungsconstraints beziehen sich auf einzelne Explizite Verbindungen (EC), wie sie in Abschnitt 3.5.1 beschrieben sind. Eine solche Verbindung besteht jeweils aus einem Startpad $b_i.p_{start}$ und einem Endpad $b_j.p_{end}$ des gleichen Netzes.

maxAwLength: Bereits mit `group` ist es möglich, eine maximal erlaubte Entfernung für zusammengehörige Bauelemente anzugeben. Jedoch bezieht sich diese nur auf den Abstand der Bauelemente, nicht auf den Abstand von Pad zu Pad. Betrachtet man einen IC großer Grundfläche, mit einem Abblockkondensator in unmittelbarer Nähe seiner VCC- und GND-Pads wird klar, daß hierfür eine präzisere Vorgabe notwendig ist.

Mit `maxAwLength` läßt sich die maximal erlaubte Länge l_{max} einer „Airwire“, d.h. die maximale Entfernung zwischen dem Startpad $b_i.p_{start}$ und dem Endpad $b_j.p_{end}$ einer expliziten Verbindung (EC) direkt vorgeben. .

Der dafür nötige Aufwand ist jedoch nur dort gerechtfertigt, wo der Abstand der Pads sich stark von dem der Bauelemente unterscheiden kann (also z.B. bei hochpoligen Halbleitern) und wo die Bauelement-Abstände durch verhältnismäßig wenige kritische Verbindungen bestimmt werden. Bei einer Gruppe von 30 SMD-Zweipolen, die alle irgendwie „dicht zusammen“ liegen sollen, wird man dagegen eher ein `group`-Constraint einsetzen.

sameAwLength Beim digitalen High-Speed-Design, bei Schwingkreisen oder auch Abstimm-Netzwerken ist eine einfache Maximalvorgabe oft nicht ausreichend. Die Leitungen müssen zusätzlich auch noch die gleiche Länge besitzen.

Mit dem `sameAwLength`-Constraint wird vorgegeben, daß alle Verbindungen in $M_{con,sub}$ genau die gleiche Länge (gemessen in Manhattan-Metrik) besitzen. Abweichungen sind nur bis zu einem Faktor ϵ erlaubt.

Letztendlich lassen sich solche Vorgaben erst unter Berücksichtigung der Feinverdrahtung wirklich umsetzen. Ein Constraint auf Airwire-Ebene kann jedoch helfen, zumindest die größten Platzierungsfehler zu vermeiden.

Tabelle 3.8.: Übersicht über Verbindungs-basierte Constraints

Name	Parameter	Beschreibung
<code>maxAwLength</code>	$M_{con,sub}, l$	Die Airwires aller Verbindungen aus $M_{con,sub}$ dürfen jeweils nur maximal l lang werden.
<code>sameAwLength</code>	$M_{con,sub}, \epsilon$	Die Airwires der Verbindungen aus $M_{con,sub}$ müssen alle bis auf einen Faktor ϵ gleich lang sein.

Kapitel 4.

Implementierung eines Modellierungswerkzeugs

Die Erfassung der Daten und die Berechnung der abgeleiteten Größen (Basisquader, Technologiequader, etc.) per Hand ist selbst für kleine SiPs mit wenigen Bauelementen und Netzen ein außerordentlich aufwändiges und fehlerträchtiges Unterfangen. Für etwas umfangreichere Schaltungen ist das kaum noch zu leisten. Auch die Übergabe der errechneten Modelldaten an *SipTechnologySelector*¹ gestaltet sich deutlich reibungsloser, wenn diese in maschinenlesbarer und leicht zu parsender Form vorliegen. Aus diesen Gründen wurde ein Werkzeug implementiert, daß die Modellierung einer Schaltung unterstützt. Diese Implementierung – im Folgenden als *Modeller* bezeichnet – soll in diesem Kapitel kurz beschrieben werden.

4.1. Anforderungen an den Modeller

In diesem Abschnitt sollen die Anforderungen an den *Modeller* ausgearbeitet werden. Nicht alle der hier aufgeführten Merkmale und Funktionen können im Rahmen dieser Arbeit auch tatsächlich vollständig implementiert werden. Sie müssen jedoch beim Entwurf der Applikation und bei der Entwicklung der Klassenhierarchie Berücksichtigung finden. Der vorgesehene Arbeitsablauf in der vollen Ausbaustufe des *Modellers* ist in Abbildung 4.1 dargestellt.

Zunächst wird eine Schaltungsbeschreibung eingelesen. Es existieren verschiedene Datenformate, für die ein direkter Import denkbar ist. Aufgrund seiner weiten Verbreitung (siehe Abschnitt 2.2) und seines relativ einfachen Aufbaus [26] bietet sich das EDIF-Format an. Importfilter für weitere Netzlistenformate (P Spice, etc.) können später hinzugefügt werden. Aus den importierten EDIF-Informationen muß

¹das vom FRAUNHOFER ITWM auf Basis des hier erarbeiteten Modells erstellte Platzierungswerkzeug

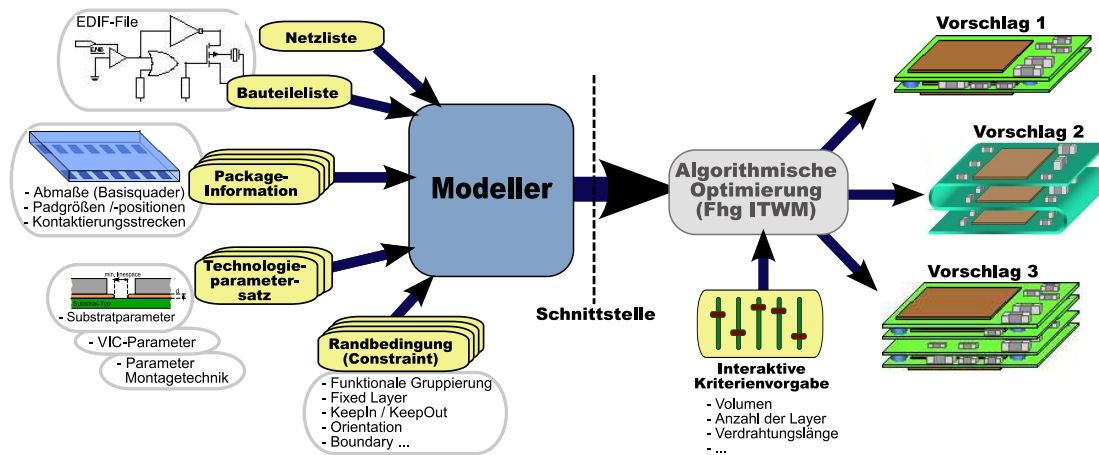


Abbildung 4.1.: Eingangs- und Ausgangsdaten des Modellers

dann eine Liste von Bauelementen mit ihren zugehörigen Anschlüssen (Ports) und eine Liste von Netzen extrahiert werden. Eine Darstellung der Ergebnisse in übersichtlicher Form erscheint sinnvoll, um die Korrektheit der eingelesenen Daten prüfen zu können.

Anschließend müssen 3D-Packageinformationen eingelesen und die jeweiligen Packagebeschreibungen den einzelnen Bauelementen zugeordnet werden. In konventionellen Schaltungen ist es der Regelfall, daß ein Package von vielen Bauelementen genutzt wird. Der entsprechende Dialog muß also eine Möglichkeit vorsehen, mehreren Bauelementen in einem Schritt ein Package zuzuweisen, andernfalls gestaltet sich die Zuordnung ausgesprochen mühselig.

Nach dem Import der Packageinformationen müssen nun alle weiteren Parameter spezifiziert werden, die zur Berechnung der Technologiequader (siehe Abschnitt 3.4.1) benötigt werden. Dies sind Substratparameter (Tabelle 3.1), VIC-Parameter (Tabelle 3.4) und Parameter für unterschiedliche Montagetechniken (z.B. Tabelle 3.2 und Tabelle 3.3).

Definitionsgemäß soll die Modellierung einen Vergleich unterschiedlicher Technologievarianten einer Schaltung ermöglichen. Es müssen also mehrere Technologieparametersätze eingegeben werden, die sich aus immer wieder den gleichen Substrat-, VIC- und Verbindungstechnik-Typen zusammensetzen (z.B. Flex-Substrat mit Flex-Verbindern vs. Flex-Substrat mit Solderbumps vs. rigides Substrat mit Solderbumps). Die Oberfläche des Programmes sollte also die Möglichkeit bieten, die einzelnen Typen zunächst separat zu erzeugen und zu parametrisieren, um sie dann schließlich zu mehreren Technologievarianten zu kombinieren. Für jede Variante kann das Programm dann einen Satz Technologiequader (siehe Abschnitt 3.4.1) berechnen.

Zusätzlich sollte der *Modeller* in der entsprechenden Ausbaustufe auch die Mög-

lichkeit bieten, Constraints direkt über die Oberfläche zu editieren. Wünschenswert wäre ein Dialog, der eine komfortable Gruppierung sowohl von Bauelementen als auch von Netzen ermöglicht, und den einzelnen Gruppen dann parametrisierte Constraint-Typen zuweisen kann.

Nachdem alle Schaltungs- und Packagedaten eingelesen, die gewünschten Parametersätze und Constraints definiert und die Technologieqader berechnet wurden, erfolgt ein Export aller zusammengeführten Modelldaten in ein Austauschdateiformat, welches vom *SipTechnologySelector* leicht eingelesen werden kann. Zur Kontrolle sollten die Daten wiederum in übersichtlicher Form aufbereitet und dargestellt werden. Denkbar ist auch eine zusätzliche Anzeige statistischer Daten über die Schaltung, wie z.B das Basisvolumen einzelner Bauelemente oder kompletter funktioneller Gruppen.

4.2. Architektur

Für die Implementierung des *Modellers* wurde JAVA ausgewählt. Die Sprache ist plattformunabhängig und erlaubt in Kombination mit dem mitgelieferten Swing-Framework relativ unkompliziert das Erstellen einer GUI-Anwendung, die überall lauffähig ist. Sowohl Compiler als auch mitgelieferte Klassenbibliothek stehen unter einer freien Lizenz und können ohne Restriktionen verwendet werden. Sehr leistungsfähige Entwicklungsumgebungen sind ebenfalls frei verfügbar. Für dieses Projekt wurde die *Eclipse*-IDE verwendet.

Die Applikation ist zwar vorrangig als Hilfsmittel für die Modellierung der im nächsten Kapitel beschriebenen Schaltung gedacht, sie soll jedoch eine solide und erweiterbare Basis bieten, die später ohne Schwierigkeiten um weitere Funktionen und Konfigurationsmöglichkeiten ergänzt werden kann. Aus diesem Grund ist beim Design der Klassenstruktur darauf zu achten, die GUI-spezifischen Teile und die Applikationslogik strikt vom Datenmodell zu trennen. Dies erhöht nicht nur die Lesbarkeit des Quelltextes allgemein, es erleichtert auch das Hinzufügen von Erweiterungen. Auch Änderungen an der Modellierung selbst lassen sich so leichter einbringen.

JAVA bietet von Haus aus die Möglichkeit, Objekte zu serialisieren [15, Kap.41] und als Datenstrom abzuspeichern. Von der serialisierten Instanz aus referenzierte Objekte werden rekursiv mitgesichert. Die Struktur bleibt erhalten. Die Abtrennung des Datenmodells schafft also zusätzlich die einfache Möglichkeit, die Modelldaten zu speichern, ohne den Datensatz durch GUI-Objekte unnötig aufzublähen

Die Struktur des GUI-Teils soll hier nicht näher erläutert werden. Der Quelltext nebst umfangreicher Dokumentation ist auf der beigelegten CD zu finden. Eine

sehr gute Einführung in die Programmierung grafischer Oberflächen mit Java bietet [15, Kap.27–38] und [24, Kap.14+15].

4.2.1. SiP-Datenmodell

Interessanter ist die Klassenstruktur des Datenmodells. Sie ist als vereinfachtes UML-Diagramm in Abbildung 4.2 dargestellt. Hier werden alle Elemente der in Kapitel 3 beschriebenen SiP-Modellierung als Objekte im Speicher nachgebildet.

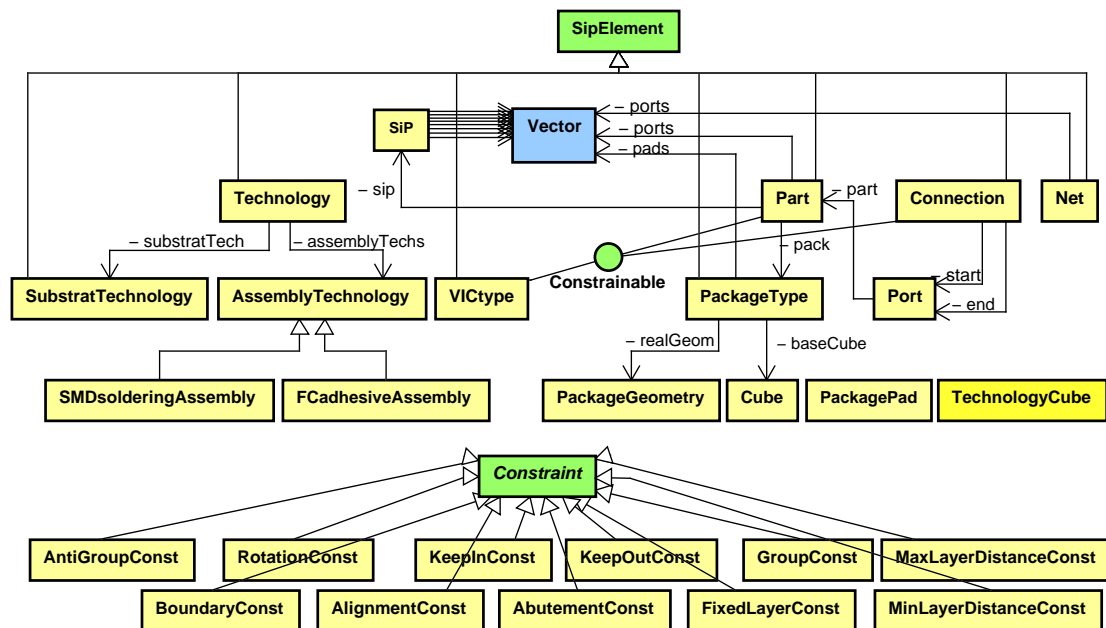


Abbildung 4.2.: Vereinfachtes UML-Klassendiagramm des SiP-Datenmodells

Getreu dem objektorientierten Ansatz enthalten die einzelnen Objekte nicht nur Daten, sondern ebenfalls die entsprechenden Methoden zur Berechnung der gesuchten Modellparameter. So enthält z.B. die Klasse `Part` auch gleich die Methode

```
TechnologyCube getTechnologyCube(Technology t)
```

deren Aufruf den Technologiequader des Bauelements liefert, welches durch die aktuelle Instanz von `Part` repräsentiert wird. Ebenso enthält das Wurzelobjekt `SiP` die Methode

```
boolean importEDIF(EdifEnvironment e)
```

die eine übergebene EDIF-Schaltungsbeschreibung entgegennimmt, automatisch die benötigten `Part`- `Port`- und `Net`-Objekte instanziiert und entsprechend miteinander verknüpft.

4.3. Dateiformate

In diesem Abschnitt sollen die für den Modeller benutzten Dateiformate besprochen werden. Benötigt wird ein Format für die dreidimensionalen Packagedaten und eines, was die zur Platzierung relevanten Modelldaten zusammenfaßt.

4.3.1. Packagedaten

Wie in Abschnitt 2.2 bereits festgestellt, existiert bisher noch kein wirklich herstellerübergreifender Standard zur Definition von 2D-Packagedaten. Für 3D-Packagedaten sieht die Situation erwartungsgemäß noch schlechter aus. Zwar existieren etliche 3D-Formate (IGES, STEP, VRML, DXF, um nur einige zu nennen), diese sind jedoch nicht auf die Beschreibung von elektronischen Packages ausgerichtet. STEP kann zwar optional auch elektrische Verbindungen definieren (Application Profile 210), ist jedoch für diese Anwendung bei Weitem überdimensioniert.

Es wird daher ein eigenes Format definiert, das leicht zu erzeugen und leicht einzulesen ist. Es enthält ausschließlich die in festgelegten Informationen zur Basisgeometrie, dem Basisquader, sowie den Pads und Kontaktierungsstrecken. Jedes Package wird in einer eigenen ASCII-Datei der Endung *.pac abgelegt, die folgendermaßen aufgebaut ist:

```
1 <package >
2   <name>PACKAGE </name >
3   <geometry >
4     SHAPE  M1  M1_TOL  M2  M2_TOL  M3  M_TOL
5   </geometry >
6   <baseCube>X  Y  Z</baseCube >
7   <pads >
8     <pad>PAD  X  Y  DX  DY  BORDERS </pad >
9     <pad > . . . . </pad >
10    . . .
11  </pads >
12 </package >
```

Die großgeschriebenen Platzhalter sind durch die jeweiligen Werte (siehe Abschnitt 3.2) zu ersetzen. PACKAGE und SHAPE sind Stringkonstanten wie HSMXS690, BOX oder CYL. Border ist ein Array aus vier booleschen Werten, jeweils durch 0 oder 1 repräsentiert. PAD ist der Pad-Bezeichner und alle anderen Werte sind Maßangaben in ganzen Mikrometern. Benachbarte Werte sind durch '\t' separiert.

Für ein Beispiel sei auf Seite 5.2.1 verwiesen. Dort ist die PAC-Datei eines 0201-Bauelements dargestellt.

4.3.2. Schnittstelle zum SipTechnologySelector

Um bei Änderungen und Erweiterungen des SiP-Modells auf möglichst wenig Probleme zu stoßen, sollten nur die Daten exportiert werden, die für den Platzierungsalgorithmus relevant sind. Detaillierte Angaben zu Substraten und Verbindungstechniken gehören beispielsweise nicht dazu. Stattdessen werden einfach die resultierenden Technologiequader übergeben.

Um den Datenaustausch mit dem *SipTechnologySelector* zu erleichtern, wurde das Format für die Modeller-Ausgangsdaten als XML-Dokument konzipiert. Die formale XSD-Spezifikation [23] der Dokumentstruktur erlaubt es bei Bedarf, automatisch Parser-Klassen zum Einlesen der so spezifizierten Dateien zu generieren.

Die entsprechende XSD-Datei ist im Anhang ab Seite 116 zu finden. Eine ausführlichen Beschreibung der Spezifikation nebst einer Beispiel-XML-Instanz ist auf der beigelegten CD enthalten. Im Folgenden soll daher nur das Wichtigste kurz zusammengefaßt werden.

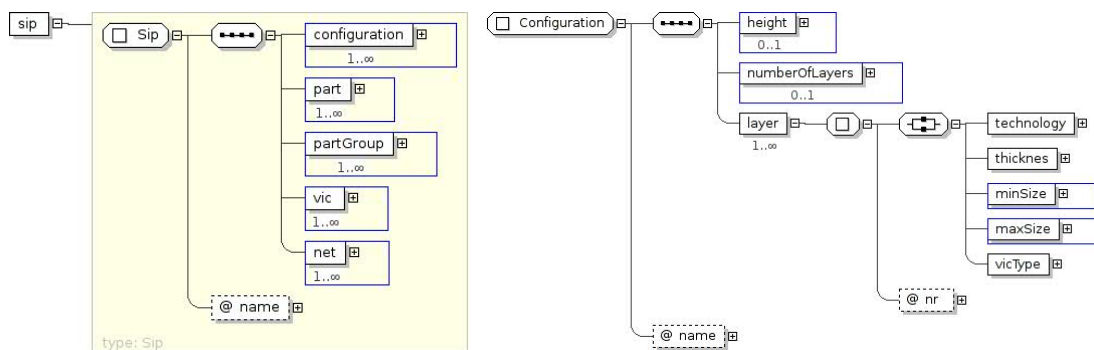


Abbildung 4.3.: XSD-Spezifikation – SiP- und Configuration-Block

Die Beschreibung gliedert sich in die vier in Abbildung 4.3 (links) dargestellten Bereiche. Der `<configuration>`-Abschnitt (Abbildung 4.3 rechts) enthält mehrere Blöcke mit globalen Einstellungen zum SiP. Jeder beschreibt eine zu optimierende SiP-Variante. Angegeben wird für jedes Modul, welcher Technologiequader und welcher VIC-Typ dort zum Einsatz kommen soll. Momentan muß diese Einstellung für alle Module identisch sein (siehe Abschnitt 3.3), das Format sieht aber auch gemischte Technologien vor.

Die nächsten `<part>`-Abschnitte (Abbildung 4.4) beschreiben die Bauelemente des SiP. Definiert werden der Basisquader (`<baseCube>...</baseCube>`), mehrere Technologiequader (`<technologyCube>...</technologyCube>`), der Routingquader (`<routingCube>...</routingCube>`), die vorhandenen Pads, einige zusätzliche Attribute und die für das Element geltenden Constraints. Auf die Unterscheidung zwischen Packages und Bauelementen wird an dieser Stelle verzichtet. Die Bauelemente erben die Packageparameter direkt.

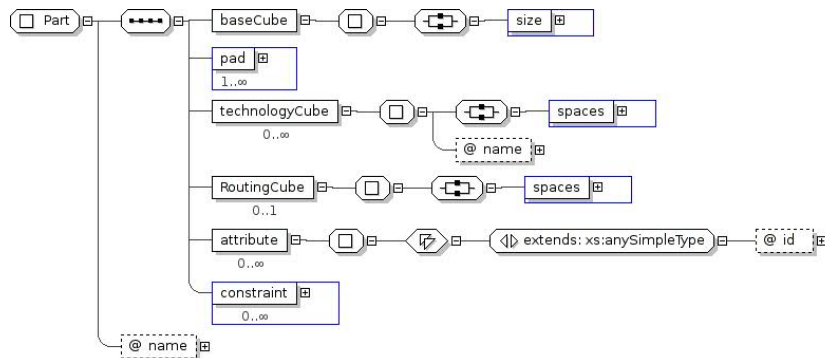


Abbildung 4.4.: XSD-Spezifikation – Part-Block

Gruppen von Bauelementen werden als Aufzählung von Bauelement-Referenzen realisiert (Abb. 4.5 oben). Sie sind jeweils in `<partGroup>`-Tags eingeschlossen. Auch ihnen können Constraints zugeordnet werden. Untergruppen werden dadurch realisiert, daß ein Bauelement Mitglied mehrerer Gruppen sein kann.

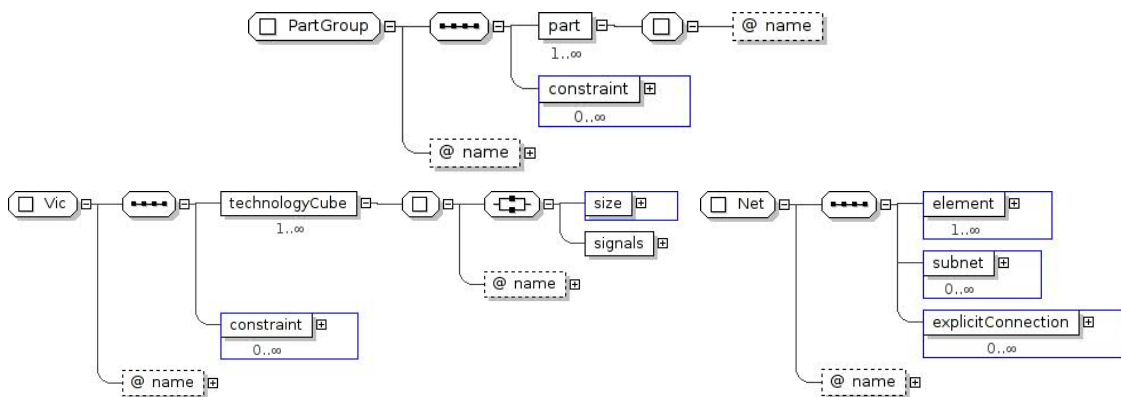


Abbildung 4.5.: XSD-Spezifikation – PartGroup-, VIC- und Net-Block

Die Darstellung der VIC-Typen (Abbildung 4.5 links) geschieht syntaktisch ähnlich wie bei den Bauelementen. Jeder Typ besitzt mehrere Technologiequader, die bei VICs jedoch dynamisch sind (siehe Abschnitt 3.6). Für die Höhe werden lediglich Minimal- bzw. Maximalwerte vorgegeben. Die Ausdehnung der Grundfläche wird zur Auswertung als Formel in MATLAB-Syntax übergeben.

Im letzten Teil werden die Netze (`<net> ... </net>`) angegeben. Jedes Netz (Abbildung 4.5 rechts) enthält einen oder mehrere `<element>`-Blöcke, in denen die zugehörigen Pads angegeben sind. Jedes Netz kann außerdem `<subnet>`-Blöcke enthalten, welche die Pads eines Subnetze definieren. Die expliziten Verbindungen (EC) werden in den mit `<explicitConnection>` eingeleiteten Blöcken definiert. Auch hier ist ein Zuweisen von Constraints möglich.

Kapitel 5.

Umsetzung einer Referenzschaltung ins Modell

In diesem Kapitel soll nun eine konkrete Schaltung exemplarisch mit Hilfe des in Kapitel 3 erarbeiteten Modells beschrieben werden, so daß durch das Optimierungswerkzeug des FRAUNHOFER ITWM mehrere Platzierungsvorschläge für verschiedene Technologien erstellt werden können.

Zunächst wird die Schaltung kurz vorgestellt. Anschließend werden dann alle zur Modellierung nötigen Schritte der Reihe nach anhand des gegebenen Beispiels besprochen.

5.1. Vorstellung der Schaltung: 10mm-eGrain

Die *eGrain*-Roadmap wurde im Rahmen des BMBF-geförderten wissenschaftlichen Vorprojekts¹ AVM (Autarke verteilte Mikrosysteme) vom FRAUNHOFER IZM und der TU-BERLIN entwickelt [5]. eGrains sind miniaturisierte Sensornetzwerkknoten. Sie sind in der Lage, Meßwerte aus ihrer Umgebung aufzunehmen und diese drahtlos an andere eGrains oder an eine Basisstation weiterzugeben.

Im Unterschied zu einfachen unidirektionalen Drahtlos-Sensoren können die Netzwerkknoten sowohl senden als auch empfangen und sind somit in der Lage, Nachrichten weiterzuleiten oder komplexere MAC-Protokolle zu realisieren. Verwendet wird das frei zugängliche ISM-Band auf einer Frequenz von 868,3MHz.

Die Integrationsanforderungen eines eGrains stellen einen interessanten Sonderfall der SiP-Integration dar. Das System ist sehr heterogen aufgebaut und muß zum Erreichen geringer Kantenlängen vertikal integriert werden.

¹<http://www.eGrain.org/>

Für genauere Spezifikationen der einzelnen Bauteile sei auf Tabelle A.1 im Anhang oder auf die entsprechenden Datenblätter der Elemente verwiesen.

Der Photowiderstand ist über einen einfachen Spannungsteiler an einem der AD-Umsetzer des Controllers angeschlossen. Erfasst werden Helligkeitsschwankungen. Genauer arbeitet der PT1000, der in eine Wheatstonebrücke (R283, R285, R286) eingebunden ist, was eine differentielle Temperaturmessung ermöglicht.

Um eine eindeutige Unterscheidung der im Netzwerkverbund funkenden Knoten zu ermöglichen, kann ein DS2401-ID-Baustein (U3) von Dallas Semiconductor angeschlossen werden.

Für viele Netzwerkprotokolle ist zudem eine präzise Zeitbasis unumgänglich. Dem ATmega128 steht daher ein 32,7268MHz-Uhrenquarz (X2) zur Verfügung. Der ist auch nötig, wenn der Controller zum Aufwachen aus tiefen Schlafmodi auf einen asynchron zum CPU-Takt laufenden Timer angewiesen ist.

Ein Quarz zum Erzeugen der Taktfrequenz selbst wird nicht gebraucht. Der ATmega128 generiert seinen 8MHz-Takt selbst über einen internen RC-Oszillator. Der Digitalteil des CC1000-Transceivers benötigt jedoch einen externen Takt von 9-16MHz, der mit Hilfe des 14,7456MHz-Quarzes X1 und den beiden Kapazitäten C171 und C181 erzeugt wird.

Die Energieversorgung wird durch eine oder mehrere Batterie-Zellen sichergestellt, die an TP1 (+) und TP2 (-) angeschlossen werden. Durchgeführte Messungen zeigen jedoch, daß kurzzeitig Ströme von bis zu 38mA benötigt werden. Da die in diesem Knoten verwendeten Knopfzellen nur wenige μA liefern können, ist ein möglichst großer Pufferkondensator unabdingbar, um die Lastspitzen abzufangen. Diese Aufgabe übernimmt der parallel zur Batterie geschaltete C1.

Die Antenne wird an TP3 angeschlossen. Empfehlenswert ist ein $\lambda/4$ -Strahler von insgesamt

$$\frac{1}{4}\lambda = \frac{c}{4f} = \frac{3 \cdot 10^8 \frac{\text{m}}{\text{s}}}{4 \cdot 868 \cdot 10^6 \text{s}^{-1}} \approx 86\text{mm} \quad (5.1)$$

wirksamer Antennenlänge. Zur Antennenanpassung dient das aus C31, C41, C42, L41 und L32 bestehende Matching-Netzwerk an den RF-Ein und -Ausgangsleitungen (AntTrakt1/AntTrakt2). Zwischen Anpassungsnetzwerk und Antennenanschluß ist zusätzlich noch ein LC-Filter (C71, C72, L71) geschaltet. Es reduziert die Abstrahlung von harmonischen Oberwellen und erhöht die Trennschärfe des Empfängers.

Eine komplette Stückliste der Schaltung ist im Anhang in Tabelle A.2 zu finden. 5.2 zeigt die Umsetzung mit zwei verschiedenen Technologien: als gefalteter Flex (links) und als Stacked-Module mit Solderbump-Verbindern (rechts). Der Flex aus dem linken Bild ist in Abbildung 6.1 auf Seite 102 auch ausgefaltet gezeigt

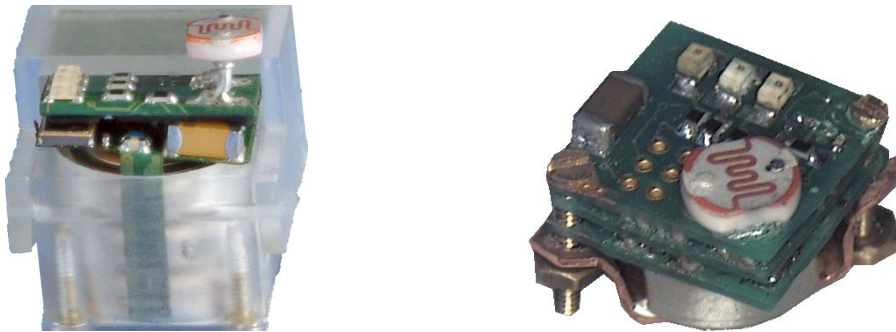


Abbildung 5.2.: Zwei Realisierungen der 10mm-eGrain-Schaltung

5.2. Umsetzung ins Modell

Die Vorgehensweise beim Modellieren einer konkreten Schaltung wurde bereits in den Abschnitten 4.1 umrissen. Der erste Schritt ist, 3D-Informationen und Anschlußkonfiguration sämtlicher verwendeten Packages zu erfassen. Anschließend werden alle benötigten Substrat- und VIC-Typen sowie die zu verwendenden Montagetechniken ausgewählt und parametrisiert. Nach dem Import der konkreten Schaltung kann dann jedem einzelnen Bauelement sein Package und die Montagetechnik, mit der es auf dem Substrat kontaktiert werden soll, zugewiesen werden. Aus diesen Daten errechnet der *Modeller* dann für jedes verwendete Bauelement mehrere Technologiequader – einen für jede Technologie-Variante.

Die so entstandene Schaltungsbeschreibung ist geometrisch und topologisch vollständig. Jedoch sind noch keinerlei elektrotechnische Nebenbedingungen enthalten. Um diese zu erfassen, werden den einzelnen Bauelementen ein oder mehrere Constraints zugeordnet. Bezieht sich ein Constraint auf mehrere Bauelemente, werden diese zunächst zu einer Gruppe zusammengefaßt, so daß das Constraint der Gruppe zugeordnet werden kann. Zusätzlich können einzelne Netze in Subnetze unterteilt und explizite Verbindungen definiert werden, denen dann ebenfalls Constraints zugeordnet werden können.

5.2.1. Packages beschreiben

Für die Modellierung muß von jedem in der Schaltung benutzten Package die Basisgeometrie, der Basisquader sowie die Padkoordinaten und -Abmessungen (siehe Abschnitt 3.2) bestimmt werden. Dies ist – bedingt durch die umfangreichen Recherchen in den Datenblättern der Bauteile – einer der aufwändigsten Teile der Schaltungserfassung.

Die Daten werden in dem in Abschnitt 4.3.1 definierten Format erfaßt und als separate PAC-Dateien gespeichert, so daß sie gleich in den *Modeller* importiert

werden können. Der entsprechende Dialog ist in Abbildung 5.3 gezeigt. Man wählt einfach die PAC-Dateien der benötigten Packages aus und importiert diese.

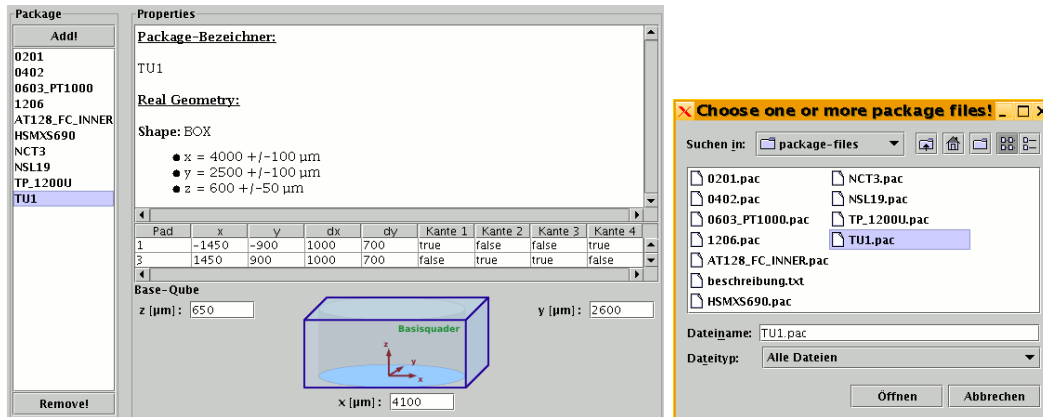


Abbildung 5.3.: Modeller-Dialog zum Einlesen der Packagedaten

Eine komplette Beschreibung aller verwendeten Packages ist im Anhang ab Seite 112 zu finden. Hier sollen nur drei ausgewählte Vertreter dargestellt werden.

0201 SMD-Passive

Das 0201-Package wird in der Schaltung sowohl für die Widerstände der Temperaturbrücke (R283, R285, R286) als auch für Abstimmkondensatoren im Antennen-Netzwerk (C31, C42, C71, C72) benutzt. Außerdem kommen Kapazitäten im 0201-Package am CC1000-Funktransceiver (U8) im 14,7MHz-Schwingkreis (C181, C171) und als Abblockkondensator zum Einsatz.

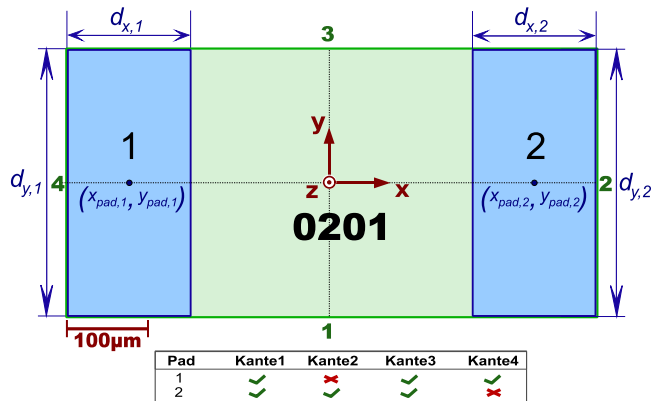
Streng genommen gibt es einige geometrische Unterschiede zwischen 0201-Kapazitäten und -Widerständen. Da jedoch der gleiche Footprint verwendet werden kann (und im realen Design auch verwendet wird), können diese minimalen Unterschiede bei der Pagemodellierung vernachlässigt werden. Es werden Pads mit $d_x = d_{x,1} = d_{x,2} = 150\mu\text{m}$ (SMD-Widerstand) verwendet. Tabelle 5.1 zeigt die für das 0201-Package angenommenen Daten und eine maßstabsgerechte Darstellung des Basisquaders samt Pads.

Die Basisgeometrie kann als einfacher Quader (Formbezeichner: Box) angenähert werden. Addiert man die maximalen Fertigungstoleranzen von $50\mu\text{m}$ in allen Raumrichtungen, ergibt sich der Basisquader.

Beide Pads grenzen in der Draufsicht sowohl an Kante 1 als auch an Kante 3 des Basisquaders an. Zusätzlich grenzt Pad 1 an Kante 4 und Pad 2 an Kante 2. Es ergeben sich also für Pad 1 Kontaktierungsstrecken auf den Kanten 1, 3 und 4 und für Pad 2 auf den Kanten 1, 2 und 3.

Tabelle 5.1.: 0201-Package Geometriedaten

Basis-Geometrie: Box					
x	±	y	±	z	±
500	50	250	50	200	50
Basis-Quader					
x_{BQ}	y_{BQ}		z_{BQ}		
550	300		250		
Pads					
Nr.	x_{pad}	y_{pad}	d_x	d_y	
1	-200	0	150	300	
2	200	0	150	300	



Setzt man alle diese Packageinformationen in das in Abschnitt 4.3.1 beschriebene Dateiformat für den *Modeller* um, so erhält man eine Packagedatei mit folgendem Inhalt:

```

1 <package >
2   <name >0201</name >
3   <geometry >BOX  500  50  250  50  200  50</geometry >
4   <baseCube >550  300  250</baseCube >
5   <pads >
6     <!-- Nr      x      y      dx      dy      1234  -->
7     <pad >1:    -200  0      150   300   1011</pad >
8     <pad >2:     200  0      150   300   1110</pad >
9   </pads >
10 </package >

```

TU1 Quarz

Das TU1-Package ist eine Bauform der Firma TELLURIAN TECH [11]. Es handelt sich hier um ein hermetisch versiegeltes Quarz Package, daß sich besonders durch seine geringe Bauhöhe von nur $600\mu m$ auszeichnet (low profile).

In der eGrain-Schaltung wird das Package für den 14,7456MHz-Quarz im Transceiver-Schwingkreis verwendet. Tabelle 5.2 zeigt die für das Modell abgeleiteten Daten. Wieder kann die Basisgeometrie als einfacher Quader (Box) angenähert werden, bei dem durch Addition der maximalen Toleranzen der Basisquader entsteht.

Anders als beim zweipoligen SMD-Passiven sind hier jedoch vier Pads (1, 2, 3, 4) vorgesehen, die nicht komplett bis zum Rand des Basisquaders reichen. Pad 2 und

Tabelle 5.2.: TU1-Package Geometriedaten

Basis-Geometrie: Box					
x	±	y	±	z	±
4000	100	2500	100	600	50

Basis-Quader		
x_{BQ}	y_{BQ}	z_{BQ}
4100	2600	650

Pads				
Nr.	x_{pad}	y_{pad}	d_x	d_y
1	-1200	-700	1000	700
3	1200	700	1000	700

Pad	Kante1	Kante2	Kante3	Kante4
1	✓	✓	✓	✓
3	✗	✓	✓	✗

4 sind jedoch nicht angeschlossen. Sie sind für die Modellierung nicht relevant und können weggelassen werden.

ATmega128 Bare Die

Der Bare Die des ATmega128 Microcontrollers von ATMEL ist das Package mit den meisten Anschlüssen in der Schaltung. Der Basisquader mit den 72 Kontaktierungsflächen ist in Abbildung 5.4 dargestellt. Tabelle 5.3 zeigt die entsprechenden Abmaße. Die genauen Koordinaten aller Pads sind der entsprechenden PAC-Datei zu entnehmen und hier aus Platzgründen nicht aufgeführt.

Tabelle 5.3.: AT128_FC-Package Geometriedaten

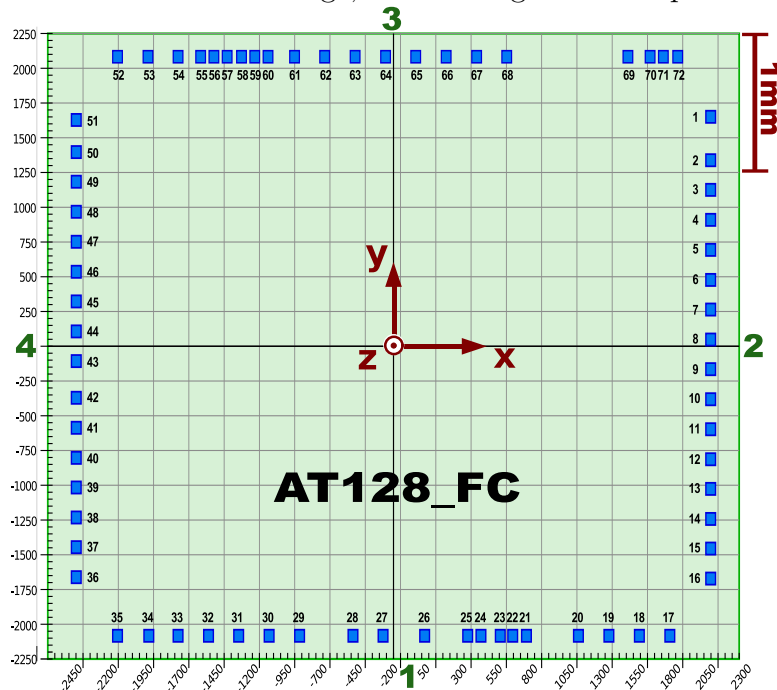
Basis-Geometrie: Box					
x	±	y	±	z	±
4900	0	4500	0	170	0

Basis-Quader		
x_{BQ}	y_{BQ}	z_{BQ}
4900	4500	170

Der Basisquader entspricht hier der Basisgeometrie, da die Toleranzen Δx_{tol} , Δy_{tol} und Δz_{tol} bei dem sehr präzise gesägten Die vernachlässigbar gering ausfallen. Zu beachten ist, daß das hier gezeigte Package für die Flip-Chip-Montage (löten oder kleben) des ICs vorgesehen ist. Die aktive Seite mit den aufmetallisierten Anschlußpads zeigt zum Substrat. Für eine zum Bonden geeignete Beschreibung muß das Package jedoch lediglich gespiegelt werden.

Die für das geplante Kleben des Chips benötigten Bumps sind nicht im Basisquader enthalten. Sie werden durch den Technologiequader berücksichtigt, der wiederum Parameter der Verbindungstechnik (in diesem Fall u.a. die Bumpöhe h_{bump}) beinhaltet.

Abbildung 5.4.: AT128_FC-Package, Darstellung des Basisquaders (Draufsicht)



5.2.2. Technologieparameter einstellen

Nachdem die benötigten Packages beschrieben sind, müssen nun mehrere Sätze von technologischen Parametern zusammengestellt werden. Zu jedem Parametersatz gehören Einstellungen für ein Substrat und für einen VIC-Typ. Im ersten Schritt werden also mehrere Substrat-Typen und VIC-Typen definiert. Diese können dann im zweiten Schritt zu einem Technologieparametersatz kombiniert werden. Abbildung 5.5 zeigt die entsprechenden Dialoge des *Modellers* zum Erstellen von Substrat-Typen (links) und VIC-Typen (rechts).

Zunächst werden zwei Substrat-Typen erzeugt: **Flex50** und **Rigid500**. **Flex50** erhält Einstellungen für eine Dicke von $t_{subst} = 50\mu m$, eine beidseitige Kupferkaschierung von jeweils $12\mu m$ und einen Pitch von $75\mu m$ ($l_s = l_w = 75\mu m$). Das Substrat darf maximal eine Ausdehnung von $10mm \cdot 10mm$ annehmen und ist beidseitig bestückbar ($a_{top} = a_{bot} = 1$). Für **Rigid500** werden die gleichen Parameter eingestellt, hier beträgt die Dicke jedoch $t_{subst} = 500\mu m$. Die Parameter beider Substrat-Typen sind im Anhang in Tabelle A.3 noch einmal gegenübergestellt.

Anschließend werden zwei VIC-Typen definiert: **Flex_Con** und **SB_Con**. **Flex_Con** beschreibt einen flexiblen vertikalen Verbinder, erhält also die in Abschnitt 3.6.3 dargestellten Parameter. **SB_Con** beschreibt einen Solderbump-Verbinder Parametern gemäß Abschnitt 3.6.2. Für eine Übersicht beider Typen siehe Tabelle A.4.

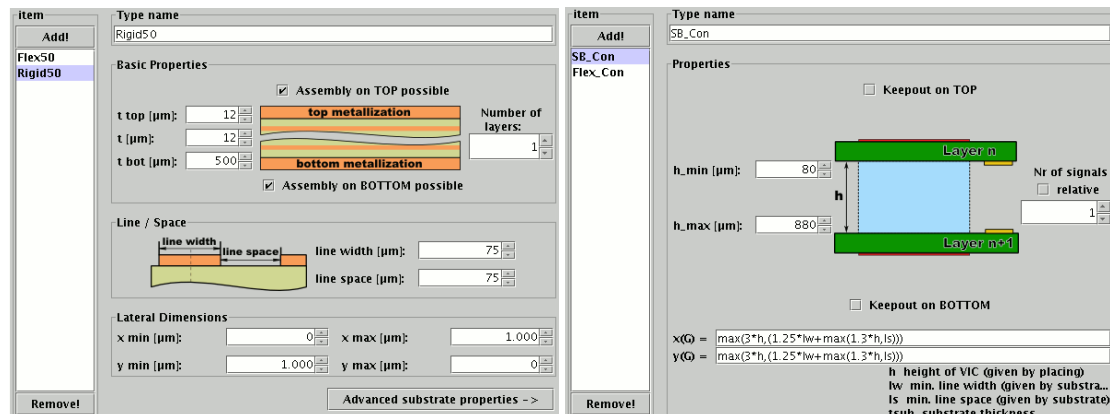


Abbildung 5.5.: Modeller-Dialoge zum Erzeugen von Substrat- und VIC-Typen

Schließlich werden aus den erstellten Substrat- und VIC-Typen die gewünschten Technologievarianten zusammengestellt. Für jede dieser Varianten erzeugt der Optimierungsalgorithmus dann Platzierungsvorschläge, was einen objektiven Vergleich der Technologien für die konkrete 10mm-eGrain-Schaltung ermöglicht.

Für diese Anwendung sollen zwei Varianten verglichen werden. *Technologie_1* verwendet den *Flex50*-Substrat-Typ und passend dazu die VICs vom Typ *Flex*. *Technologie_2* verwendet *Rigid500*-Substrate und *SB*-Verbinder.

5.2.3. Import der Schaltung und Berechnung der Technologiequader

Alle Packagedaten sind importiert und die benötigten Technologievarianten (jeweils bestehend aus VIC- und Substrattyp) sind definiert und parametrisiert. Nun folgt das Einlesen der Schaltung. Dies geschieht durch den Import der entsprechenden Netzliste im EDIF-Format. Man erhält eine Liste der verwendeten Bauelemente und eine Liste mit Pad-Gruppen, die jeweils auf gemeinsamen Potential liegen. Sie entsprechen dem in Abbildung 5.1 gezeigten Schaltplan.

Jedem Bauelement aus der Liste muß nun ein Package zugeordnet werden. Außerdem wird für jede Technologievariante eine Verbindungstechnik (siehe Tabelle A.5) festgelegt, mit der das entsprechende Element kontaktiert wird. Sie gibt vor, nach welcher Methode (siehe Seite 52ff.) der Technologiequader für das entsprechende Bauelement berechnet werden soll.

Abbildung 5.6 zeigt den *Modeller*-Dialog, in dem diese Zuordnungen vorgenommen werden. Hier kann man auch gleich für jedes Bauelement den Routingquaderfaktor χ (siehe Abschnitt 3.4.2) einstellen. Die berechneten Technologie- und Rou-

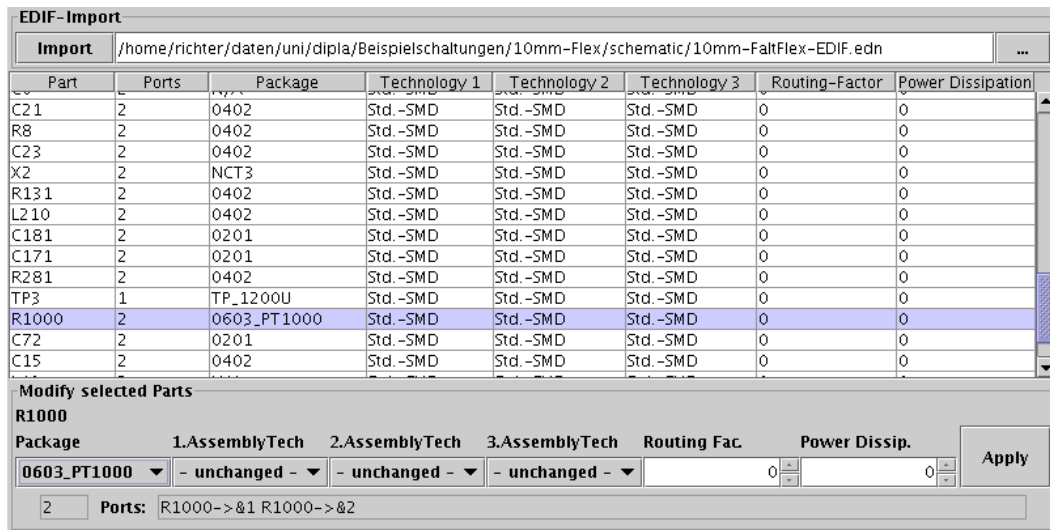


Abbildung 5.6.: Modeller-Dialog zum Zuweisen der Bauelemente-Eigenschaften

tingquaderabstände aller Bauelemente sind im Anhang in Tabelle A.8 auf Seite 113 zu finden.

5.2.4. Constraints ableiten

Die bisherigen Umsetzungsschritte konnten weitestgehend mechanisch, und nur anhand der Netzliste sowie den technologischen Vorgaben erfolgen. Das Formulieren der Constraints setzt jedoch detaillierte Kenntnisse über die zu bearbeitende Schaltung voraus. Der Designer muß sich zunächst über die zu beachtenden elektrotechnischen Randbedingungen klar werden, und diese dann mit Hilfe der in Abschnitt 3.7.2 erarbeiteten Constraints beschreiben.

Dabei ist darauf zu achten, daß zwar soviel Angaben wie nötig, jedoch so wenig wie möglich gemacht werden. Jedes zusätzliche Constraint schränkt den Lösungsraum stark ein, bis zu dem Punkt, an dem der Platzierungsalgorithmus überhaupt keine gültige Lösung mehr findet (overconstrained).

Um die Formulierung zu erleichtern, sollten die einzelnen Bauelemente zuerst entsprechend der funktionellen Zusammenhänge gruppiert werden. Eine mögliche Gruppierung für die 10mm-eGrain-Schaltung zeigt Abbildung 5.7. Nun folgt die Auswahl relevanter Randbedingungen und deren Umsetzung in Constraints.

Am naheliegendsten sind die Vorgaben für Sensoren und Signalisierungselemente. R6, R1000, sowie die gesamte LED-Gruppe müssen auf der Top-Seite der obersten Ebene liegen. Die LEDs sollten aus ästhetischen Gründen zusätzlich in einer Reihe ausgerichtet sein und darüber hinaus einen gewissen Abstand zum Lichtsensor

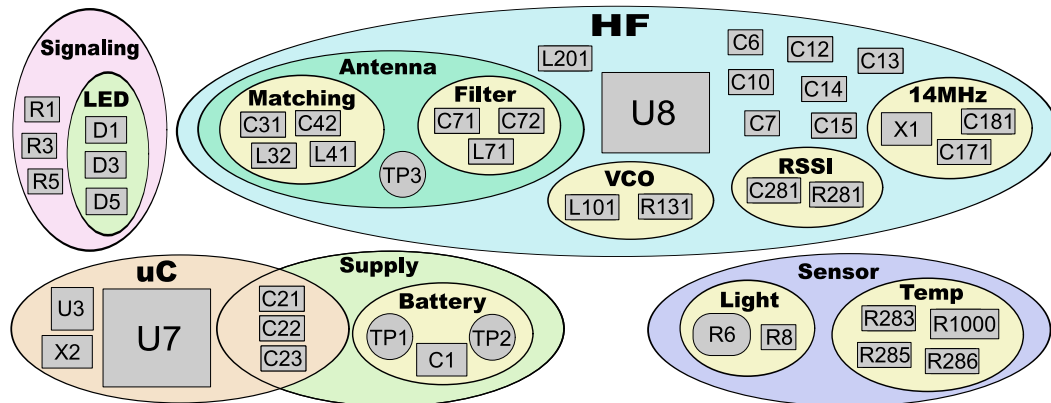


Abbildung 5.7.: Gruppierung der Bauteile beim 10mm-eGrain

R6 einhalten. Um Verfälschungen der Temperaturmessungen zu vermeiden sollten die Brückenwiderstände R283, R285 und R285 in unmittelbarer Nähe von R1000 platziert werden. Außerdem muß der R1000 einen Mindestabstand zum Microcontroller U8 einhalten, da dieser sich im Betrieb erwärmt.

Auch die Position der Abblockkondensatoren ist wichtig. C21 und C22 sollten möglichst dicht am Controller und C12 möglichst dicht am Transceiver liegen. C15 und C23 sind Blockkondensatoren für den gesamten HF- bzw. uC-Teil. Sie sollten zumindest auf der gleichen Ebene wie U8 bzw. wie U7 liegen.

Für den HF-Trakt gibt es eine Fülle von Nebenbedingungen. Die meisten beziehen sich auf die Feinverdrahtung, vor allem auf die korrekte Führung der Masse. Trotzdem lassen sich einige Vorgaben für die Platzierung ableiten. So muß die VCO-Spule L101 unbedingt dicht am Transceiver sitzen und symmetrisch angeschlossen sein. Ähnliches gilt für den 14MHz-Quarz X1. Zudem sollten die Elemente der Antennenanpassung (Matching) und der Filter-Gruppe jeweils möglichst dicht beieinander liegen. Gleichzeitig dürfen jedoch die beiden Spulen L41 und L32 nicht zu stark koppeln, müssen also im rechten Winkel zueinander ausgerichtet sein.

Die beiden Batterieanschlüsse TP1 und TP2 müssen von außen erreichbar sein. Die Batterie darf jedoch nicht Sensoren oder LEDs verdecken. Die Pads werden daher auf den Bottom-Layer der untersten Ebene festgelegt.

Die aus den aufgezählten Randbedingungen abgeleiteten Constraints sind in Tabelle 5.4 aufgeführt.

Der auf laufenden Arbeiten basierenden Platzierungsalgorithmus des FRAUNHOFER ITWM berücksichtigt zum jetzigen Zeitpunkt die Constraints `fixedMod`, `boundary` und `maxModDist`. Um trotzdem elektrotechnisch zumindest in erster Näherung sinnvolle Vorschläge zu erhalten, wird für die eigentliche Platzierung ein anderer, auf den aktuellen Stand der Implementierung zugeschnittener Constraint-

Tabelle 5.4.: Kompletter Constraint-Satz für 10mm-eGrain

	BE/Gr./EC	Constraint	Bemerkung
1	LED	<code>fixedMod(upper,top)</code> <code>alignment(0,4000)</code>	LEDs auf Top-Seite, obersten Modul und auf der gleicher x-Koordinate mit max. Abstand 4mm
2	R6	<code>fixedMod(upper,top)</code>	Lichtsensor auf Top-Seite, oberstes Modul
3	R1000	<code>fixedMod(upper,top)</code>	Temperatursensor auf Top-Seite, oberstes Modul
4	R1000, U7	<code>antigroup(900,900,100)</code>	Mindestabstand zw. Temperatursensor und U7
5	TEMP	<code>group(300,500,0)</code>	gesamte Meßbrücke in einem 300x500 μ m Rechteck
6	TP1, TP2	<code>fixedMod(lower,bot)</code>	Batterieanschlüsse auf Bottom-Seite, unterstes Modul
7	U8.23-X1.1, U8.22-X1.3	<code>maxAwLength(2000)</code> <code>sameAwLength(100)</code>	Verbindungen zw. U8 und X1 jeweils nicht länger als 2mm und bis auf 100 μ m gleich lang
8	Antenna	<code>group(4500, 3500)</code>	Gesamter Antennentrakt im 4,5x3,5mm-Rechteck
9	U8.21-C12.1, U8.20-C12.2	<code>maxAwLength(200)</code>	Verbindungen zw. U8 und C15 jeweils nicht länger als 200 μ m
10	U7.70-C21.1, U7.72-C21.2, U7.21-C22.1, U7.24-C22.2	<code>maxAwLength(200)</code>	Verbindungen zw. Analog-Versorgung U7 und C21 (Blockkondensator), sowie Digital-Versorgung U7 und C22 (Blockkondensator) jeweils nicht länger als 200 μ m
11	U7, C23	<code>maxModDist(0)</code>	C23 auf gleichem Modul wie U7
12	U8, C15	<code>maxModDist(0)</code>	C15 auf gleichem Modul wie U8
13	L41, L32	<code>rotation(90)</code>	L41 und L32 müssen senkrecht zueinander stehen
14	U8.13-L101.1 U8.14-L101.2	<code>maxAwLength(1000)</code> <code>sameAwLength(25)</code>	Verbindungen zw. U8 und der VCO-Spule jeweils nicht länger als 1mm und bis auf 50 μ m gleich lang

Satz verwendet. Dieser ist im Anhang (Tabelle A.6) gezeigt und versucht, die oben dargestellten Nebenbedingungen ausschließlich mit diesen drei Typen auszudrücken. Da bereits bei der Definition der Constraint-Typen auf möglichst geringe Redundanz geachtet wurde ist dies natürlich nicht vollkommen verlustfrei möglich.

5.2.5. Export

Schließlich wird die modellierte Schaltung in das in Abschnitt 4.3.2 beschriebene XML-Format exportiert. In dieser Form können die Modelldaten an das Platzierungswerkzeug des FRAUNHOFER ITWM, den *SipTechnologySelector* übergeben werden.

Die erhaltenen Platzierungsvorschläge werden in Abschnitt 6.2 des nächsten Kapitels ausgewertet.

Kapitel 6.

Auswertung

Um das in dieser Arbeit entwickelte Modell zu verifizieren, wurde im letzten Kapitel eine konkrete Schaltung damit beschrieben. In diesem Kapitel sollen nun die erhaltenen Ergebnisse ausgewertet werden. Es stellt sich also die Frage: Was sind die Prüfsteine? Woran zeigt sich, ob das aufgestellte Modell angewendet werden kann? Hier gilt es, zwei Aspekte zu untersuchen: Die technologische Realisierbarkeit einerseits und die „sinnvolle“ Anordnung der Komponenten andererseits.

6.1. Realisierbarkeit

Wichtigstes Kriterium für die vorgeschlagenen Platzierungen ist ihre technologische Realisierbarkeit. Die Berechnung ausreichend großer Sperrabstände für die Bauelemente bildet einen Schwerpunkt bei der Modellierung. Es ist also zu prüfen, ob die in Abschnitt 3.4 vorgestellten Methoden für die Abschätzung dieser Technologiequader (TQ) zu realistischen Ergebnissen führen.

Abbildung 6.1 zeigt die drei Ebenen einer realisierten Technologie-Variante der im letzten Kapitel vorgestellten Schaltung. Dargestellt ist der auf flexiblem, laminierten Substrat aufgebaute 10mm-eGrain-Prototyp. Die im Zuge der Modellierung entstandenen Basis- und Technologiequader (siehe Abschnitt 3.4) sind maßstabsgetreu über den realen Bauelementen eingeblendet. Die halbtransparente Überlagerung eröffnet die Möglichkeit, die Theorie mit der Wirklichkeit zu vergleichen.

Man erkennt, daß sowohl die Bauelemente als auch die für ihre Montage benötigten AVT-Komponenten vollständig von den berechneten TQ-Grundflächen überdeckt sind. Als Beispiele für zweipolige Passive seien C1 (1206-Package), L101 (0402-Package) und C10 (0201-Package) auf Ebene 3 genannt.

Bei den HSMXS690-Dioden (D1, D3 und D5 auf Ebene 1) und beim PT1000 in 0603-Bauform (R1000) ergeben sich in x-Richtung der Bauelemente etwas zu große TQ-Flächen. Grund hierfür ist die als proportional zum Bauelemente-Pad angenommene (Substrat-)Pad-Vergrößerung. Sehr breite Pads führen so zu übermäßig

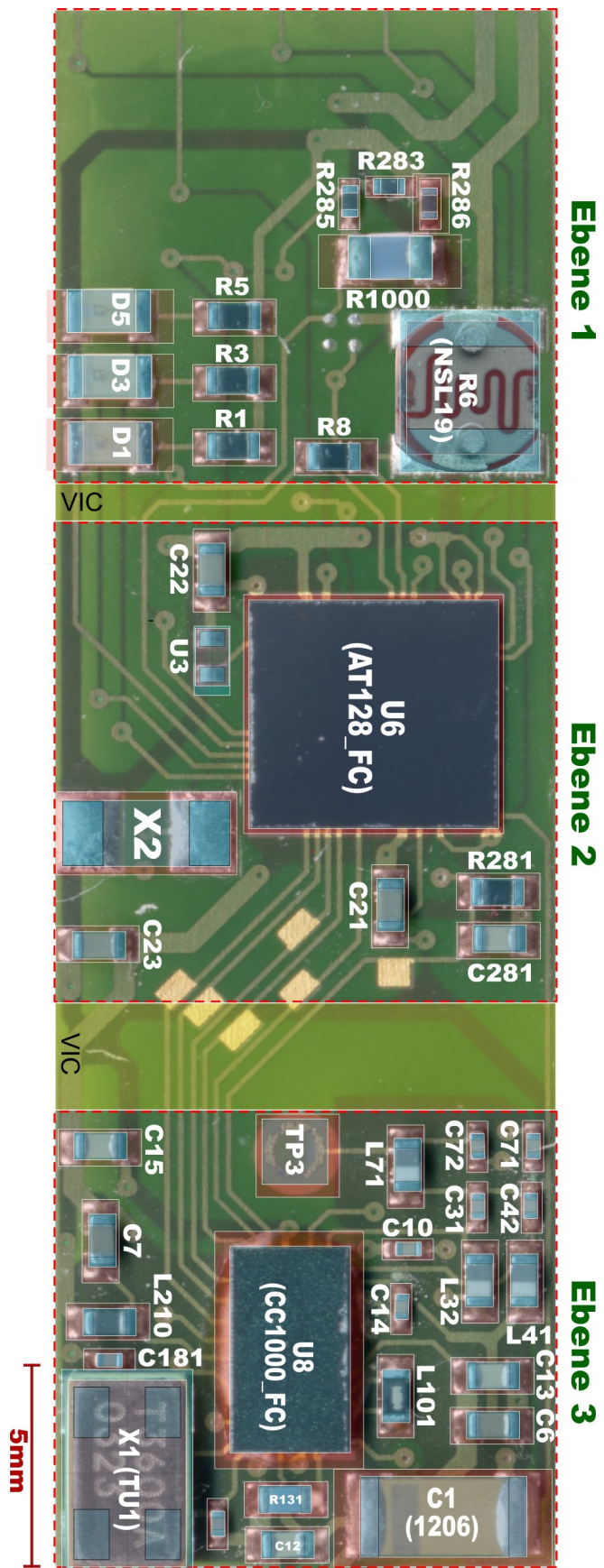


Abbildung 6.1.: Flex-Realisierung des 10mm-eGrains mit überlagerten Basis- und Technologiegquadern

großen TQ-Abständen. Dies kann in Zukunft durch eine feinere Modellierung der SMT-Verbindungstechnik verhindert werden. Die zu großen Technologiequader führen jedoch nicht zu falschen (d.h. nicht realisierbaren) Platzierungsvorschlägen. Es wird lediglich etwas zuviel Platz belegt.

Ein besonderer Fall ist das TU1-Package (Quarz X1) auf Ebene 3. Dessen Pads liegen weit genug unter dem Bauelement, so daß sämtliche zugehörigen AVT-Elemente ebenfalls darunter verschwinden. Zusätzliche Abstände zu anderen Elementen sind, wie man z.B. an der unmittelbar daneben liegenden 0201-Kapazität C181 erkennen kann, im Design nicht vorgesehen. Dieser Fall wird durch die modellierten Grundflächen korrekt erfaßt. Der Basisquader ist hier größer als der Technologiequader und überdeckt X1 komplett, so daß keine zusätzlichen Technologieabstände entstehen. Bei den beiden Flip-Chips U6 und U8 liegen die Substrat-Pads ebenfalls komplett unter den Bauelementen. Für die Bestückung und aufgrund des zur Seite austretenden Klebers, muß jedoch ein zusätzlicher Werkzeugabstand freigehalten werden. Auch hier garantiert der Technologiequader die benötigte Fläche.

Einzig beim Lichtsensor R6 ragen die AVT-Elemente etwas über die berechneten Flächen hinaus, was in ungünstigen Fällen zu Problemen führen könnte. Ursache ist, daß es sich beim NSL19 eigentlich um ein THT-Element (TO8) handelt. Um es trotzdem im SMT-Verfahren bestücken zu können, wurde in der Realisierung ein sehr großzügig dimensionierter Footprint gewählt, der so in der Modellierung nicht vorgesehen ist. Ein zusätzlicher Werkzeugabstand kann hier Abhilfe schaffen.

Zusammenfassend läßt sich sagen, daß die berechneten Technologiequader die nötigen Freiräume um die Bauelemente herum sicherstellen. Da bei der Platzierung die Überschneidungsfreiheit der Technologiequader garantiert wird, sollten bei der Montage keinerlei platzierungsbedingte Probleme auftreten. Einzige Ausnahme ist hier der Lichtsensor, was jedoch lediglich auf einen schlecht gewählten Parameter und nicht auf Fehler im Modell selbst zurückzuführen ist.

6.2. Anordnung der Komponenten

Die zweite Herausforderung für das Modell ist es, „sinnvolle“ Platzierungen zu ermöglichen. Neben globalen Vorgaben zur maximalen und minimalen Anzahl der Module soll dies vor allem durch Constraints (Abschnitt 3.7) sichergestellt werden.

Die im Folgenden Abschnitt gezeigten Platzierungsvorschläge wurden vom Fraunhofer ITWM mit Hilfe des *SipTechnologySelectors* errechnet, der auf Basis des in dieser Arbeit entwickelten Modells paretooptimale Lösungen erstellt. Diese werden nun daraufhin überprüft, ob die in Abschnitt 5.2.4 vorgegebenen Randbedingungen eingehalten wurden. Falls ja, kann man schlußfolgern, daß die für die Modellierung vorgeschlagenen Constraints als Mittel geeignet sind.

Für die in Abschnitt 5.2 modellierte 10mm-eGrain-Schaltung liefert das Werkzeug insgesamt 162 Lösungen. 17 davon sind Realisierungen mit gestapelten Modulen und Solderbump-Verbindern (**Technologie_2**) und 145 sind gefaltete Flexe (**Technologie_1**). Abbildung 6.2 zeigt zweidimensionale Projektionen des Lösungsraumes, wie sie das Programm ausgibt. Die hellgrauen Punkte repräsentieren Flex-, die schwarzen Solderbump-Lösungen. Aus jeder Gruppe wird jeweils eine Lösung mit drei Ebenen ausgewählt und bewertet.

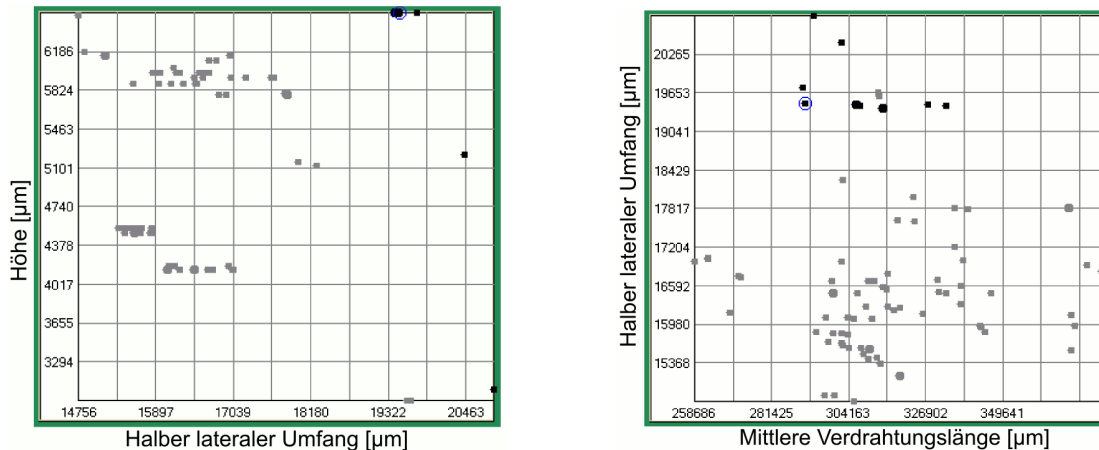


Abbildung 6.2.: 2D-Projektionen des Lösungsraumes

Die beiden ausgewählten Lösungen sind in Abbildung 6.4 und 6.3 jeweils dreidimensional und als Draufsicht auf die einzelnen Ebenen gezeigt. Zu sehen sind die Basisquader der Bauelemente. Technologie- und Routingquader werden bei der Platzierung zwar berücksichtigt, sind jedoch der Übersichtlichkeit halber nicht mit dargestellt. Die rechte 3D-Ansicht zeigt nur die Verdrahtung (laterale Airwires und vertikale Verbinders), sowie die Bauelemente-Pads.

Beim Betrachten der Platzierungsvorschläge fällt zunächst auf, daß beide Lösungen Kantenlängen in der Größenordnung der bereits realisierten Prototypen aufweisen. Die Lösung mit Solderbump-Verbindern hat eine Kantenlänge von 9,9mm x 9,5mm x 6,5mm. Die Flex-Lösung bleibt mit 8,9mm x 8,1mm x 6,1mm sogar deutlich darunter. Aufgrund der bisher nur rudimentär berücksichtigten lateralen Verdrahtung (siehe Abschnitt 3.4.2), mögen die auf Basis dieser Vorschläge realisierten Systeme am Ende etwas größer ausfallen, vom Volumen her sind beide Platzierungen jedoch durchaus praxistauglich.

Das bessere Abschneiden der Flex-Lösung läßt sich in diesem Fall durch das geringere Volumen der vertikalen Verbinders begründen. Obwohl bei beiden Lösungen der mit 1,8mm sehr hohe Pufferkondensator C1 sinnvollerweise nicht zwischen den Ebenen platziert wurde, ergeben sich trotzdem recht große Substratabstände von $820\mu\text{m}$ und $690\mu\text{m}$. Flex-Verbinders sind hier im Vorteil, da der Solderbump-

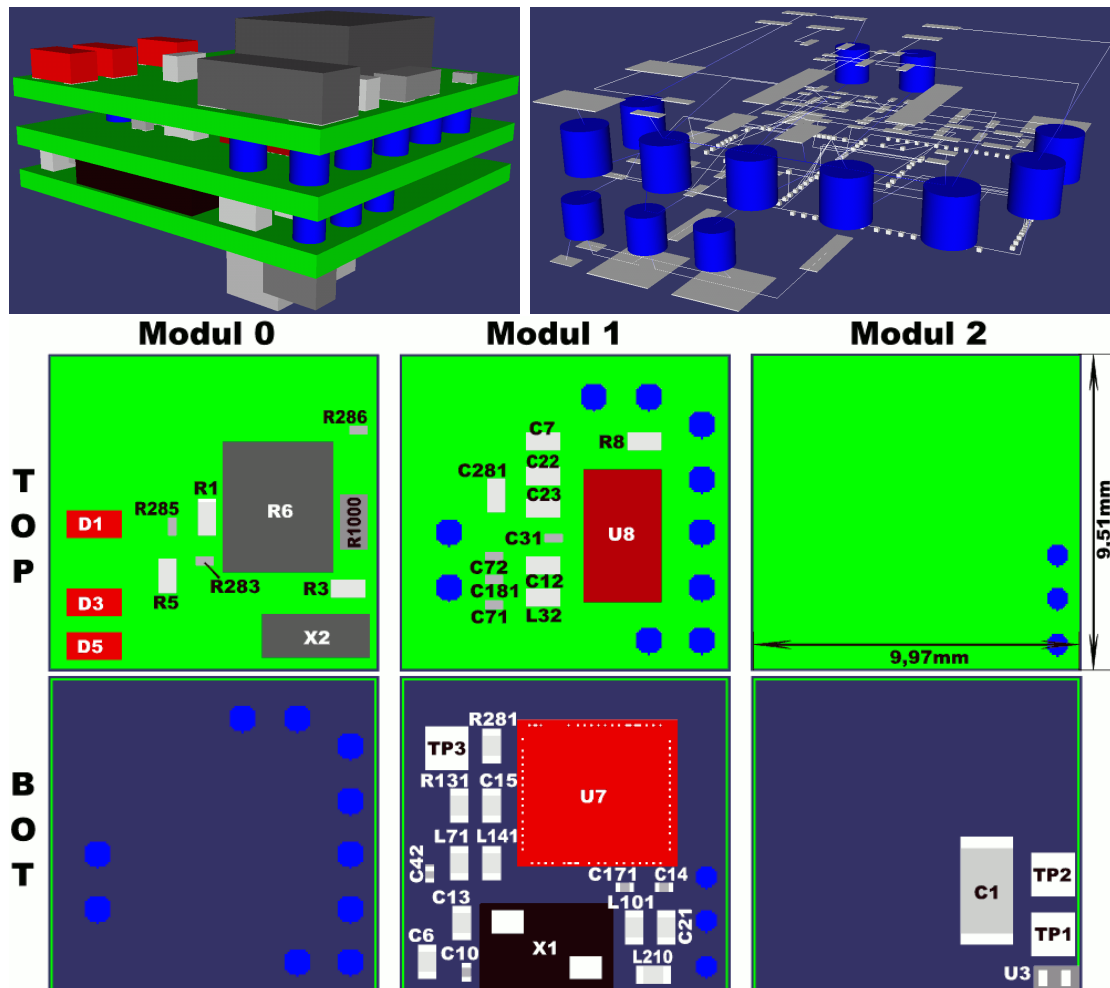


Abbildung 6.3.: Platzierungsvorschlag für gestapelte Module mit 3 Ebenen

Durchmesser proportional mit G wächst. Besonders gut ist das in der Verdrahtungsansicht (Abbildung 6.3, oben rechts) zu sehen. Die Bumps zwischen Modul 0 und 1 sind wesentlich größer als die zwischen Modul 1 und 2.

Die in Abschnitt 5.2.4 geforderten Nebenbedingungen sind – soweit sie mit den implementierten Constraints umgesetzt werden konnten – in beiden Platzierungen berücksichtigt. Alle LEDs und Sensoren sind auf der obersten Ebene angeordnet, die Batteriepads auf der untersten. Die LEDs sind zusätzlich in einer Reihe ausgerichtet. Die drei Widerstände der Temperaturbrücke befinden sich alle auf dem gleichen Modul wie der Temperaturfühler, beim Flex sogar auf der gleichen Seite. Auch alle HF-Elemente liegen zusammen auf einem Modul. VICs als Diskontinuitäten in potentiell kritischen Leitungen konnten so vermieden werden.

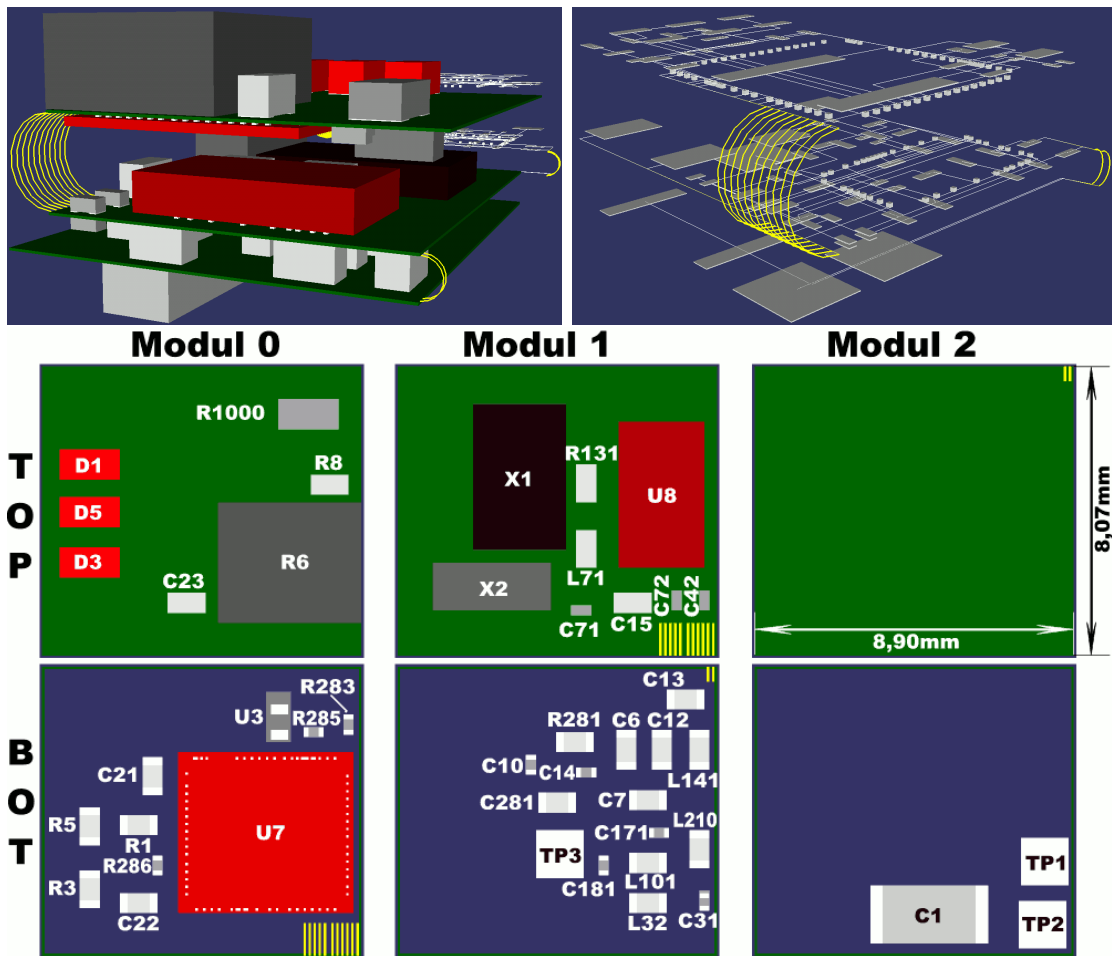


Abbildung 6.4.: Platzierungsvorschlag für Flex mit 3 Ebenen

6.3. Schlußfolgerung

Ein fertiges physikalisches Design „auf Knopfdruck“ wird wohl für immer ein Wunschtraum bleiben, ist jedoch auch nicht das Ziel dieser Arbeit. Das hier entwickelte Modell eröffnet – in Kombination mit den Algorithmen des FRAUNHOFER ITWM – stattdessen die Möglichkeit, initiale Platzierungsvorschläge für verschiedene Technologievarianten einer konkreten Schaltung zu erstellen und (wie in Abbildung 6.2 dargestellt) objektiv nach unterschiedlichen Kriterien zu vergleichen.

Der für die AVT benötigte Platz wird durch die Modellierung im Wesentlichen korrekt abgeschätzt. Constraints haben sich als geeignet zur Vorgabe zusätzlicher Nebenbedingungen erwiesen. Mit den bisher vom Algorithmus berücksichtigten Typen lassen sich bereits etliche grobe Platzierungsfehler vermeiden. Durch die Implementierung der restlichen sind weiter verbesserte Lösungen zu erwarten.

Ausblick

Die in dieser Arbeit erzielten Ergebnisse – zusammengefaßt auf Seite drei – bieten durchaus Anknüpfungspunkte für zukünftige Arbeiten.

Die im letzten Abschnitt angesprochenen Auswertungs- und Vergleichsmöglichkeiten zum Beispiel sind bei weitem noch nicht ausgeschöpft. Neben mittlerer Verdrahtungslänge, Umfang, Höhe, etc. erscheint vor allem die Auswertung der benötigten Volumina attraktiv. Jeder Platzierungsvorschlag enthält nicht nur das Volumen der einzelnen Bauelemente, sondern auch den (angenäherten) Platzbedarf der AVT. So ließe sich z.B. der Volumenanteil der VICs bei unterschiedlichen Bauelemente-Anordnungen untersuchen.

Auch das Beschreibungsmodell selbst kann in viele Richtungen erweitert werden. Sehr interessant wäre z.B. die Berücksichtigung von in das Substrat eingebetteten Komponenten (embedded components), die bei der SiP-Integration eine zunehmend größere Rolle spielen. Auch die Kombination mehrerer Substrat- und VIC-Technologien in einem SiP bietet faszinierende Möglichkeiten, wirft allerdings auch vielfältige Fragen für die Modellierung auf.

Um noch realistischere Lösungen zu erhalten, führt auf lange Sicht kein Weg an einer detaillierteren Betrachtung der Verdrahtung vorbei. Viele Constraints lassen sich erst auf Leitungsebene ausreichend präzise formulieren. Doch auch eine Abschätzung der für ein erfolgreiches Routing benötigten Signallagen wäre schon hilfreich, da die Lagenanzahl Einfluß auf die Substratdicke besitzt.

Neben einem verfeinerten und erweiterten Modell ist auch eine Verbesserung der Erfassungsmethoden ein lohnendes Ziel für weitere Arbeiten. Der in Kapitel 4 beschriebene Modeller beispielsweise ist zwar durch das automatisierte Einlesen der EDIF-Schaltungsbeschreibung und der definierten 3D-Packagedaten bereits eine große Erleichterung beim Zusammenstellen der Modellierungsdaten, seine Implementierung befindet sich jedoch noch in einem sehr frühen Beta-Stadium. Ein reibungsloser Arbeitsablauf ist noch nicht an allen Stellen gewährleistet. Sollen regelmäßig umfangreichere Schaltungen modelliert werden, muß die Implementierung ausgebaut werden.

Ein weiterer Punkt ist die Definition der 3D-Packagedaten, dem – wie sich herausgestellt hat – aufwändigsten Teil der Schaltungserfassung. Hier wäre eine sofortige

Visualisierung des erstellten Bauelements zur Fehlerkorrektur sinnvoll. Auch ein halbautomatischer Konverter, mit dem man die zweidimensionalen Packagedaten anderer Hersteller einlesen, mit 3D-Informationen anreichern, und anschließend als PAC-Datei speichern kann, wäre denkbar. Auf lange Sicht könnte so eine komplette Bibliothek entstehen, was die Modellierung enorm beschleunigen würde.

Anhang A.

Schaltungsbeschreibung 10mm-eGrain

Tabelle A.1.: Spezifikationen der 10mm-eGrain-Schaltung

Bauteil	Beschreibung	Package
NSL-19M51 (SILONEX)	<i>Cds Photowiderstand/Lichtsensor</i> $R(\text{dunkel}) \approx 20M\Omega$ $R(20\text{lux}) \approx 5k\Omega, I_{max} = < 3\mu A$ (100k Ω Spannungsteiler)	TO18 $\varnothing \approx 4mm$
ATMega128L (ATMEL)	<i>8-Bit Microcontroller</i> CPU: RISC, 8MIPS@ $f_{CPUmax} = 8MHz$ Speicher: 128KByte Flash, 4KByte EEPROM, 4KByte SRAM Peripherie: 2 UARTs, 10Bit ADUs, RTC, JTAG-Interface, SPI-Bus, 2 Timer/Counter, I ² C-Bus etc. geringster Ruhestromverbrauch: $I_{min} < 10\mu A@3V$	Bare Die (FC)
CC1000 (CHIPCON)	<i>Stromsparender integrierter UHF-Transceiver,</i> Takt: 14,7MHz (über Quarz extern erzeugt) Frequenzbänder: ISM und SRD 300...1000MHz (benutzter Bereich: 868,6MHz) Datenrate: 0,6...76,8kBaud (benutzte Rate 19,2kBaud) Ausgangsleistung: -20...10dB@868MHz ($I_{transm} = 8,6...23mA$) Eingangsempfindlichkeit: -104...-107dBm@868MHz ($I_{rec} = 9,6...11,8mA$) geringster Ruhestromverbrauch: $I_{min} < 1\mu A@3V$	Bare Die (FC)
(Gesamt-system)	Betriebsspannung: $U_B = 3V$ Stromverbrauch: $I_{min} = 3\mu A, I_{max} \approx 40mA$	

nach [5]

Tabelle A.2.: Die wichtigsten Bauelemente der 10mm-eGrain-Schaltung

Typ	Name/Wert	Referenz	Zweck
Temp.-Widerstand	PT-1000	R1000	Temperatursensor
Photowiderstand	NSL19	R6	Lichtsensor
LED	rt/gn/ge	D1, D3, D5	Signalisierung
IC	CC1000	U8	RF-Transceiver
Quarz	14,7456MHz	X1	Oszillator Digitalteil CC1000
IC	ATmega128L	U7	Microcontroller (Steuerung)
Quarz	32,7268MHz	X2	Uhrenquarz (Zeitbasis)
Kondensator	3,3 μ F	C1	Pufferkondensator

Tabelle A.3.: Substrattypen für 10mm-eGrain

Parameter	Name: Flex50	Name: Rigid500
x-Ausdehnung $x_{Subst,min} \dots x_{Subst,max}$	0...10.000 μ m	0...10.000 μ m
x-Ausdehnung $x_{Subst,min} \dots x_{Subst,max}$	0...10.000 μ m	0...10.000 μ m
Top-/Bottom-Seite bestückbar a_{top}/a_{bot}	1 / 1	1 / 1
min. line space l_s	75 μ m	75 μ m
min. line width l_w	75 μ m	75 μ m
Kupferdicke t_{top} / t_{bot}	12 μ m / 12 μ m	12 μ m / 12 μ m
Substratdicke t_{subst}	50 μ m	500 μ m

Tabelle A.4.: VIC-Typen für 10mm-eGrain

Parameter	Name: Flex	Name: SB
Keepouts $a_{VIC,top}/a_{VIC,bot}$	1 / 1	0 / 0
Gleichzeitige Verbind. n_v	1	1
Minimale Höhe $h_{VIC,min}$	$5,25 \cdot t_{subst} - 2t_{top}$	80 μ m
Maximale Höhe $h_{VIC,max}$	∞	880 μ m
x-Ausdehnung $x_{VIC} (h_{VIC})$	$0,5 \cdot h_{VIC} + t_{subst}$	$\max \{3h_{VIC}; (1,25 \cdot l_w + \max \{1,3h_{VIC}; l_s\})\}$
y-Ausdehnung $y_{VIC} (h_{VIC})$	$l_w + l_s$	$\max \{3h_{VIC}; (1,25 \cdot l_w + \max \{1,3h_{VIC}; l_s\})\}$

Tabelle A.5.: Verbindungstechniken für 10mm-eGrain

Typ: SMT-Reflow-Löten			Typ: ACA-FC		
Name	SMT_1	SMT_2	Name	ACA_1	ACA_2
Werkzeugabstand d_t	0	0	Werkzeugabstand d_t	300 μm	100 μm
Freiraum oben d_{above}	12 μm	12 μm	Freiraum oben d_{above}	12 μm	12 μm
Pad Vergr. g_x/g_y	1,3/0,08	0,1/0,1	Bumphöhe h_{bump}	50 μm	50 μm
Lotdicke t_s	5 μm	5 μm	Partikeldurchm. d_{fill}	8 μm	8 μm

Tabelle A.6.: Reduzierter Constraint-Satz für 10mm-eGrain

BE/Gr.	Constraint	Bemerkung
LED	<code>fixedMod(upper, top)</code> <code>Boundary()</code>	LEDs auf Top-Seite, obersten Modul und am Rand ausgerichtet
R6	<code>fixedMod(upper, top)</code>	Temperatursensor auf Top-Seite, oberstes Modul
R1000	<code>fixedMod(upper, top)</code>	Mindestabstand zw. Temperatursensor und U7
TEMP	<code>maxModDist(0)</code>	gesamte Meßbrücke auf dem gleichen Modul
BAT_CON	<code>fixedMod(lower, bot)</code>	Batterieanschlüssen auf Bottom-Seite, unterstes Modul
HF	<code>maxModDist(0)</code>	Gesamter HF-Trakt auf dem gleichen Modul
U7, C21, C22, C23	<code>maxModDist(0)</code>	Blockkondensatoren auf dem Gleichen Modul wie U7

Tabelle A.7.: Basisgeometrie und -Quader aller Packages im 10mm-eGrain

Name	Basisgeometrie [μm]						Basisquader [μm]			
	Form	Maß1	+/- 1	Maß2	+/- 2	Maß3	+/- 3	x	y	z
1206	Box (x,y,z)	3200	100	1500	100	1700	100	3300	1600	1800
0201	Box (x,y,z)	500	50	250	50	200	50	550	300	250
0402	Box (x,y,z)	1000	50	500	50	600	50	1050	550	650
HSMXS690	Box (x,y,z)	1600	50	800	50	650	100	1650	850	750
AT128_FC	Box (x,y,z)	4900	0	4500	0	170	0	4900	4500	170
CC1000_FC	Box (x,y,z)	2375	0	4069	0	730	0	2375	4069	730
NCT3	Box (x,y,z)	3200	100	1200	100	950	50	3300	1300	1000
TU1	Box (x,y,z)	4000	100	2500	100	600	50	4100	2600	650
NSL19	Box (x,y,z)	3950	50	3300	50	1150	500	4000	3350	1650
0603_PT1000	Box (x,y,z)	1600	50	800	50	520	50	1650	850	570
DS2401_CSP	Box (x,y,z)	1321	50	661	50	534	162	1371	711	696
TP_1200U	Cyl (d, h)	1300	0	0	0	-	-	1300	1300	0

Tabelle A.8.: Technologie- und Routingquader für eGrain Bauelemente

Name	Package	Technologiequader						Routingquader			
		x1	x2	y1	y2	z1	z2	x1	x2	y1	y2
C1	1206	492,5	492,5	165,5	165,5	17	24	75	75	150	150
C6	0402	297,5	297,5	81,5	81,5	17	24	75	75	150	150
C7	0402	297,5	297,5	81,5	81,5	17	24	75	75	150	150
C10	0201	232,5	232,5	61,5	61,5	17	24	75	75	150	150
C12	0402	297,5	297,5	81,5	81,5	17	24	75	75	150	150
C13	0402	297,5	297,5	81,5	81,5	17	24	75	75	150	150
C14	0201	232,5	232,5	61,5	61,5	17	24	75	75	150	150
C15	0402	297,5	297,5	81,5	81,5	17	24	75	75	150	150
C21	0402	297,5	297,5	81,5	81,5	17	24	75	75	150	150
C22	0402	297,5	297,5	81,5	81,5	17	24	75	75	150	150
C23	0402	297,5	297,5	81,5	81,5	17	24	75	75	150	150
C31	0201	232,5	232,5	61,5	61,5	17	24	75	75	150	150
C42	0201	232,5	232,5	61,5	61,5	17	24	75	75	150	150
C71	0201	232,5	232,5	61,5	61,5	17	24	75	75	150	150
C72	0201	232,5	232,5	61,5	61,5	17	24	75	75	150	150
C171	0201	232,5	232,5	61,5	61,5	17	24	75	75	150	150
C181	0201	232,5	232,5	61,5	61,5	17	24	75	75	150	150
C281	0402	297,5	297,5	81,5	81,5	17	24	75	75	150	150
D1	HSMXS690	427,5	427,5	105,5	105,5	17	24	75	75	150	150
D3	HSMXS690	427,5	427,5	105,5	105,5	17	24	75	75	150	150
D5	HSMXS690	427,5	427,5	105,5	105,5	17	24	75	75	150	150
L32	0402	297,5	297,5	81,5	81,5	17	24	75	75	150	150
L41	0402	297,5	297,5	81,5	81,5	17	24	75	75	150	150
L71	0402	297,5	297,5	81,5	81,5	17	24	75	75	150	150
L101	0402	297,5	297,5	81,5	81,5	17	24	75	75	150	150
L210	0402	297,5	297,5	81,5	81,5	17	24	75	75	150	150
R1	0402	297,5	297,5	81,5	81,5	17	24	75	75	150	150
R3	0402	297,5	297,5	81,5	81,5	17	24	75	75	150	150
R5	0402	297,5	297,5	81,5	81,5	17	24	75	75	150	150
R6	NSL19	0	0	0	0	17	24	0	0	0	0
R8	0402	297,5	297,5	81,5	81,5	17	24	75	75	150	150
R131	0402	297,5	297,5	81,5	81,5	17	24	75	75	150	150
R281	0402	297,5	297,5	81,5	81,5	17	24	75	75	150	150
R283	0201	232,5	232,5	61,5	61,5	17	24	75	75	150	150
R285	0201	232,5	232,5	61,5	61,5	17	24	75	75	150	150
R286	0201	232,5	232,5	61,5	61,5	17	24	75	75	150	150
R1000	0603_PT1000	622,5	622,5	105,5	105,5	17	24	75	75	150	150
TP1	TP_1200U	167,5	167,5	167,5	167,5	17	24	75	75	75	75
TP2	TP_1200U	167,5	167,5	167,5	167,5	17	24	75	75	75	75
TP3	TP_1200U	167,5	167,5	167,5	167,5	17	24	75	75	75	75
U3	DS2401_CSP	0	0	0	0	12	24	30	30	60	60
U7	AT128_FC	100	100	100	100	70	24	108	108	126	132
U8	CC1000_FC	300	300	300	300	70	24	96	66	60	60
X1	TU1	0	0	0	0	17	24	75	75	75	75
X2	NCT3	117,5	117,5	167,5	167,5	17	24	75	75	150	150

Tabelle A.9.: Bauelementpositionen für Flex- und Solderbump-Lösung

Name	Flex (ID280314)						Solderbump (ID 254083)					
	x	y	z	Ausr.	Mod.	Seite	x	y	z	Ausr.	Mod.	Seite
C6	5752	2535	2565	180°	1	bot	898	9232	3015	180°	1	bot
C7	4347	1912	2565	270°	1	bot	6935	5683	3549	270°	1	top
C12	5752	1521	2565	180°	1	bot	3169	5683	3549	270°	1	top
C13	7157	898	2565	270°	1	bot	2064	8166	3015	180°	1	bot
C15	1443	2346	2649	90°	1	top	5656	7204	3015	0°	1	bot
C21	5028	5823	4388	180°	0	bot	1912	1888	3015	180°	1	bot
C22	1443	6214	4388	90°	0	bot	5921	5683	3549	90°	1	top
C23	1443	4898	4472	270°	0	top	4907	5683	3549	90°	1	top
C281	4243	4432	2565	90°	1	bot	5298	7088	3549	0°	1	top
L32	1443	1912	2565	90°	1	bot	2155	5683	3549	90°	1	top
L41	5752	507	2565	0°	1	bot	3860	7204	3015	0°	1	bot
L71	3000	3644	2649	0°	1	top	3860	8218	3015	180°	1	bot
L101	2609	1912	2565	270°	1	bot	1912	2902	3015	180°	1	bot
L210	3000	507	2565	0°	1	bot	507	2279	3015	90°	1	bot
R1	3623	6214	4388	270°	0	bot	4630	5219	4873	0°	0	top
R3	1834	7619	4388	0°	0	bot	2443	898	4873	90°	0	top
R5	3630	7619	4388	180°	0	bot	2834	6385	4873	180°	0	top
R8	4793	898	4472	90°	0	top	6944	2546	3549	270°	1	top
R131	4796	3644	2649	0°	1	top	5656	8218	3015	0°	1	bot
R281	5981	3940	2565	270°	1	bot	7452	7204	3015	0°	1	bot
C10	5333	5200	2565	180°	1	bot	583	8021	3015	180°	1	bot
C14	5112	3625	2565	90°	1	bot	3172	1964	3015	90°	1	bot
C31	1519	362	2565	0°	1	bot	4038	5368	3549	270°	1	top
C42	1519	362	2649	0°	1	top	3545	9087	3015	180°	1	bot
C71	1298	3827	2649	90°	1	top	2010	7164	3549	90°	1	top
C72	1519	1086	2649	0°	1	top	3458	7164	3549	270°	1	top
C171	3478	1597	2565	270°	1	bot	3172	3130	3015	270°	1	bot
C181	2533	3172	2565	180°	1	bot	2734	7164	3549	90°	1	top
R283	6477	362	4388	0°	0	bot	3312	5295	4873	90°	0	top
R285	6288	1307	4388	270°	0	bot	4315	6240	4873	0°	0	top
R286	2533	5678	4388	0°	0	bot	7312	583	4873	270°	0	top
D1	5355	7580	4472	270°	0	top	4413	8643	4873	90°	0	top
D3	2631	7580	4472	270°	0	top	681	8643	4873	90°	0	top
D5	3993	7580	4472	90°	0	top	2043	8643	4873	90°	0	top
TP1	2609	858	1824	0°	2	bot	3510	858	1824	0°	2	bot
TP2	858	893	1824	90°	2	bot	1724	858	1824	0°	2	bot
TP3	2843	4392	2565	180°	1	bot	7412	8604	3015	270°	1	bot
C1	1116	4004	1824	270°	2	bot	3049	2832	1824	180°	2	bot
X2	1904	6253	2649	90°	1	top	968	1843	4873	90°	0	top
X1	4997	5526	2649	0°	1	top	1375	5534	3015	270°	1	bot
R6	2611	2000	4472	270°	0	top	4950	3037	4873	0°	0	top
R1000	6717	1523	4472	270°	0	top	4473	681	4873	180°	0	top
U3	6641	2305	4393	0°	0	bot	415	715	1829	90°	2	bot
U8	4496	1553	2702	270°	1	top	4042	3201	3602	270°	1	top
U7	3412	2658	4335	270°	0	bot	6010	4039	2962	270°	1	bot

Tabelle A.10.: Lotkugeldurchmesser



BGA-Balls Standardgrößen

Stand: 11.03.2003

Sn63/Pb37			Stückzahl						
			12.500	25.000	50.000	100.000	200.000	500.000	1.000.000
Größe	3mil	80µ				x	x	x	x
	4mil	100µ			x	x	x	x	x
	5mil	125µ			x	x	x	x	x
	6mil	150µ		x	x	x	x	x	x
	10mil	253µ		x	x	x	x	x	x
	12mil	304µ		x	x	x	x	x	x
	14mil	355µ		x	x	x	x	x	x
	15mil	381µ	x	x	x	x	x	x	x
	20mil	508µ	x	x	x	x	x	x	x
	25mil	635µ	x	x	x	x	x	x	x
30mil	762µ	x	x	x	x	x	x	x	

Sn10/Pb90			Stückzahl						
			12.500	25.000	50.000	100.000	200.000	500.000	1.000.000
Größe	8mil	203µ		x	x	x	x	x	x
	10mil	253µ		x	x	x	x	x	x
	12mil	304µ		x	x	x	x	x	x
	15mil	380µ		x	x	x	x	x	x
	18mil	456µ		x	x	x	x	x	x
	20mil	507µ	x	x	x	x	x	x	x
	22mil	557µ		x	x	x	x	x	x
	25mil	633µ	x	x	x	x	x	x	x
	30mil	760µ	x	x	x	x	x	x	x
	35mil	887µ	x	x	x	x	x	x	x

Sn95.5/Ag3.5 Sn95.5/Ag4/Cu0.5			Stückzahl						
			12.500	25.000	50.000	100.000	200.000	500.000	1.000.000
Größe	8mil	203µ		x	x	x	x	x	x
	10mil	253µ		x	x	x	x	x	x
	12mil	304µ		x	x	x	x	x	x
	15mil	380µ		x	x	x	x	x	x
	18mil	456µ		x	x	x	x	x	x
	20mil	507µ	x	x	x	x	x	x	x
	22mil	557µ	x	x	x	x	x	x	x
	25mil	633µ	x	x	x	x	x	x	x
	30mil	760µ	x	x	x	x	x	x	x

sofort lieferbar
Lieferzeit ca. 4 Wochen
 weitere Größen und Legierungen auf Anfrage
 Zwischenverkauf vorbehalten

Quelle: Hilpert GmbH (<http://www.hilpert-gmbh.de/>)

Anhang B.

Schnittstellenspezifikation

XSD-Spezifikation

```
1 <?xml version="1.0" encoding="UTF-8"?>
2
3 <!-- XML-schema TEPLAVIUS data format - version 1.0 -->
4 <xs:schema xmlns:xs="http://www.w3.org/2001/XMLSchema" version="1.0">
5   <xs:element name="sip" type="Sip"/>
6
7   <!-- ===== -->
8   <!-- Main Sections (Upper Level) -->
9   <!-- ===== -->
10  <xs:complexType name="Sip">
11    <xs:sequence>
12      <xs:element name="configuration" type="Configuration" minOccurs="1" maxOccurs="unbounded"/>
13      <xs:element name="part" type="Part" minOccurs="0" maxOccurs="unbounded"/>
14      <xs:element name="partGroup" type="PartGroup" minOccurs="1" maxOccurs="unbounded"/>
15      <xs:element name="vic" type="Vic" minOccurs="1" maxOccurs="unbounded"/>
16      <xs:element name="net" type="Net" minOccurs="1" maxOccurs="unbounded"/>
17    </xs:sequence>
18    <xs:attribute name="name" type="xs:normalizedString" use="required"/>
19  </xs:complexType>
20
21
22  <!-- ===== -->
23  <!-- Section types -->
24  <!-- ===== -->
25
26  <!-- Section: Configuration (Possible Technology-Configurations) -->
27  <xs:complexType name="Configuration">
28    <xs:sequence>
29      <xs:element name="height" type="MinMaxSize" minOccurs="0" maxOccurs="1"/>
30      <xs:element name="numberOfLayers" type="MinMaxSize" minOccurs="0" maxOccurs="1"/>
31      <xs:element name="layer" minOccurs="1" maxOccurs="unbounded">
32        <xs:complexType>
33          <xs:all>
34            <xs:element name="technology" type="xs:token"/>
35            <xs:element name="thicknes" type="xs:positiveInteger"/>
36            <xs:element name="minSize" type="size2D"/>
37            <xs:element name="maxSize" type="size2D"/>
38            <xs:element name="vicType" type="xs:token"/>
39          </xs:all>
40          <xs:attribute name="nr" type="xs:nonNegativeInteger" use="optional"/>
41        </xs:complexType>
42      </xs:element>
43    </xs:sequence>
44    <xs:attribute name="name" type="xs:token" use="required"/>
45  </xs:complexType>
46
47  <!-- Section: Part (parts description incl. constraints) -->
48  <xs:complexType name="Part">
49    <xs:sequence>
50      <xs:element name="baseCube" minOccurs="1" maxOccurs="1">
51        <xs:complexType>
52          <xs:all>
53            <xs:element name="size" type="size3D"/>
54          </xs:all>
55        </xs:complexType>
56      </xs:element>
57      <xs:element name="pad" type="Pad" minOccurs="1" maxOccurs="unbounded"/>
58      <xs:element name="technologyCube" minOccurs="0" maxOccurs="unbounded">
59        <xs:complexType>
60          <xs:all>
```

```

61         <xs:element name="spaces" type="spaces3D" minOccurs="1"/>
62     </xs:all>
63     <xs:attribute name="name" type="xs:token" use="required"/>
64 </xs:complexType>
65 </xs:element>
66 <xs:element name="RoutingCube" minOccurs="0" maxOccurs="1">
67     <xs:complexType>
68         <xs:all>
69             <xs:element name="spaces" type="spaces2D" minOccurs="1"/>
70         </xs:all>
71     </xs:complexType>
72 </xs:element>
73 <xs:element name="attribute" minOccurs="0" maxOccurs="unbounded">
74     <xs:complexType>
75         <xs:simpleContent>
76             <xs:extension base="xs:anySimpleType">
77                 <xs:attribute name="id" type="xs:token"/>
78             </xs:extension>
79         </xs:simpleContent>
80     </xs:complexType>
81 </xs:element>
82 <xs:element name="constraint" type="Constraint" minOccurs="0" maxOccurs="unbounded"/>
83 </xs:sequence>
84 <xs:attribute name="name" type="xs:token" use="required"/>
85 </xs:complexType>
86
87 <!-- Section partGroup (Group of several parts incl. constraints) -->
88 <xs:complexType name="PartGroup">
89     <xs:sequence>
90         <xs:element name="part" minOccurs="1" maxOccurs="unbounded">
91             <xs:complexType>
92                 <xs:attribute name="name" use="required"/>
93             </xs:complexType>
94         </xs:element>
95         <xs:element name="constraint" type="Constraint" minOccurs="0" maxOccurs="unbounded"/>
96     </xs:sequence>
97     <xs:attribute name="name" type="xs:token" use="required"/>
98 </xs:complexType>
99
100 <!-- Section vic (VIC type description incl. constraints) -->
101 <xs:complexType name="Vic">
102     <xs:sequence>
103         <xs:element name="technologyCube" minOccurs="1" maxOccurs="unbounded">
104             <xs:complexType>
105                 <xs:all>
106                     <xs:element name="size" type="dynamicSize3D" minOccurs="1"/>
107                     <xs:element name="signals" type="xs:positiveInteger" minOccurs="1"/>
108                 </xs:all>
109                 <xs:attribute name="name" type="xs:token" use="required"/>
110             </xs:complexType>
111         </xs:element>
112         <xs:element name="constraint" type="Constraint" minOccurs="0" maxOccurs="unbounded"/>
113     </xs:sequence>
114     <xs:attribute name="name" type="xs:token" use="required"/>
115 </xs:complexType>
116
117 <!-- Section: Net (description of one net incl. constraints) -->
118 <xs:complexType name="Net">
119     <xs:sequence>
120         <xs:element name="element" type="PadReference" minOccurs="2" maxOccurs="unbounded"/>
121         <xs:element name="subnet" type="Subnet" minOccurs="0" maxOccurs="unbounded"/>
122         <xs:element name="explicitConnection" type="ExplicitConnection" minOccurs="0"
123             maxOccurs="unbounded"/>
124     </xs:sequence>
125     <xs:attribute name="name" type="xs:token" use="required"/>
126 </xs:complexType>
127
128
129 <!-- ===== -->
130 <!-- Type definitions for usage above -->
131 <!-- ===== -->
132
133 <xs:complexType name="MinMaxSize">
134     <xs:attribute name="min" type="xs:nonNegativeInteger"/>
135     <xs:attribute name="max" type="xs:nonNegativeInteger"/>
136 </xs:complexType>
137
138 <xs:complexType name="size3D">
139     <xs:attribute name="x" type="xs:nonNegativeInteger"/>
140     <xs:attribute name="y" type="xs:nonNegativeInteger"/>
141     <xs:attribute name="z" type="xs:nonNegativeInteger"/>
142 </xs:complexType>
143
144 <xs:complexType name="spaces3D">
145     <xs:attribute name="x1" type="xs:nonNegativeInteger"/>

```

Anhang B. Schnittstellenspezifikation

```
146 <xs:attribute name="x2" type="xs:nonNegativeInteger"/>
147 <xs:attribute name="y1" type="xs:nonNegativeInteger"/>
148 <xs:attribute name="y2" type="xs:nonNegativeInteger"/>
149 <xs:attribute name="z1" type="xs:nonNegativeInteger"/>
150 <xs:attribute name="z2" type="xs:nonNegativeInteger"/>
151 </xs:complexType>
152
153 <xs:complexType name="size2D">
154 <xs:attribute name="x" type="xs:nonNegativeInteger"/>
155 <xs:attribute name="y" type="xs:nonNegativeInteger"/>
156 </xs:complexType>
157
158 <xs:complexType name="spaces2D">
159 <xs:attribute name="x1" type="xs:nonNegativeInteger"/>
160 <xs:attribute name="x2" type="xs:nonNegativeInteger"/>
161 <xs:attribute name="y1" type="xs:nonNegativeInteger"/>
162 <xs:attribute name="y2" type="xs:nonNegativeInteger"/>
163 </xs:complexType>
164
165 <xs:complexType name="dynamicSize3D">
166 <xs:attribute name="x" type="xs:token"/>
167 <xs:attribute name="y" type="xs:token"/>
168 <xs:attribute name="hMin" type="xs:nonNegativeInteger"/>
169 <xs:attribute name="hMax" type="xs:nonNegativeInteger"/>
170 </xs:complexType>
171
172
173 <xs:complexType name="position2D">
174 <xs:attribute name="x" type="xs:positiveInteger"/>
175 <xs:attribute name="y" type="xs:positiveInteger"/>
176 </xs:complexType>
177
178 <xs:complexType name="Pad">
179 <xs:all>
180 <xs:element name="position" type="position2D" minOccurs="1"/>
181 <xs:element name="size" type="size2D" minOccurs="1"/>
182 <xs:element name="conSides" minOccurs="1">
183 <xs:complexType>
184 <xs:attribute name="s1" type="xs:boolean"/>
185 <xs:attribute name="s2" type="xs:boolean"/>
186 <xs:attribute name="s3" type="xs:boolean"/>
187 <xs:attribute name="s4" type="xs:boolean"/>
188 </xs:complexType>
189 </xs:element>
190 </xs:all>
191 </xs:complexType>
192
193 <xs:complexType name="PadReference">
194 <xs:attribute name="partName" type="xs:token" use="required"/>
195 <xs:attribute name="padName" type="xs:token" use="required"/>
196 </xs:complexType>
197
198 <xs:complexType name="Constraint">
199 <xs:attribute name="name" type="xs:token" use="required"/>
200 <xs:attribute name="type" type="xs:token" use="required"/>
201 <!-- coming soon ... -->
202 </xs:complexType>
203
204 <xs:complexType name="ExplicitConnection">
205 <xs:sequence>
206 <xs:element name="start" type="PadReference" minOccurs="1" maxOccurs="1"/>
207 <xs:element name="stop" type="PadReference" minOccurs="1" maxOccurs="1"/>
208 <xs:element name="constraint" type="Constraint" minOccurs="0" maxOccurs="unbounded"/>
209 </xs:sequence>
210 <xs:attribute name="name" type="xs:token" use="required"/>
211 </xs:complexType>
212
213 <xs:complexType name="Subnet">
214 <xs:sequence>
215 <xs:element name="element" type="PadReference" minOccurs="1" maxOccurs="unbounded"/>
216 </xs:sequence>
217 <xs:attribute name="name" type="xs:token" use="required"/>
218 </xs:complexType>
219
220 </xs:schema>
```

Literaturverzeichnis

- [1] *International Technology Roadmap for Semiconductors*. Technischer Bericht, ITRS, 2004.
- [2] BIRD, J. M. und B. PFAHL: *System in Package: Identified Technology Needs from the 2004 iNEMI Roadmap*. In: *IPC Printed Circuits Expo / APEX / Designers Summit*. International Electronics Manufacturing Initiative, Feb 2005. <http://www.inemi.org/cms/newsroom/Presentations/apex2005.html>.
- [3] EVANS-PUGHE, C.: *Got to get a packet or two [stacked multilayer chip assemblies]*. In: *IEEE Review*, Band 50, Seiten 40–43, Dec. 2004.
- [4] FRAUNHOFER IZM: *Projekt: Intelligenter Golfball*. http://www.pb.izm.fraunhofer.de/sdi/030_Projects/SDI_3_3.html.
- [5] FRAUNHOFER IZM, TU BERLIN und FERDINAND-BRAUN-INSTITUT: *Wissenschaftliches Vorprojekt: Autarke Verteilte Mikrosysteme (AVM) – Abschlussbericht*, 12 2005.
- [6] HANKE, HANS-JOACHIM: *Baugruppentechologie der Elektronik - Leiterplatten*. Verlag Technik, 1. Auflage, 1994.
- [7] ILFA: *CAD und CAM Spezifikationen*, Sept 2000. http://www.ilfa.de/cc_spezifikationen.html.
- [8] IPC: *Sectional Design Standard for Organic Multichip Modules (MCM-L) and MCM-L Assemblies (IPC-2225)*, May 1998.
- [9] IPC: *Surface Mount Design and Land Pattern Standard (IPC-SM-782A)*, 1999.
- [10] IPC: *Design and Assembly Process Implementation for BGAs (IPC-7095A)*, Oct 2004.
- [11] IPC, EIA, MCNC und SEMATECH.: *Implementation of Flip Chip and Chip Scale Technology (J-STD-012)*, Jan 1996.

- [12] JEDEC: *Registration MO152 – Plastic Shrink Small Outline Packages (SSOP). R-PDSO-G/SSOP*, Jan 1996. <http://www.jedec.org/>.
- [13] JEDEC: *Registration MO153F – Plastic Thin SSOP R-PDSO-G/TSSOP/HTSSOP, Addition*, May 2001. <http://www.jedec.org/>.
- [14] JEDEC: *Standard MS026D – Low/Thin Profile Plastic Quad Flat Package*, Jan 2001. <http://www.jedec.org/>.
- [15] KRÜGER, GUIDO: *Handbuch der Java-Programmierung*. Addison-Wesley, 4. Auflage, 2004. <http://www.javabuch.de/>.
- [16] MCCAFFREY, B.: *Exploring the challenges in creating a high-quality mainstream design solution for system-in-package (SiP) design*. In: *Quality of Electronic Design, 2005. ISQED 2005. Sixth International Symposium on*, Seiten 556–561, 21-23 March 2005.
- [17] POLITYKO, DAVID DIMITRY: *Konzept der Dissertation*, voraussichtliches Erscheinen: 2007.
- [18] POLITYKO, DAVID DIMITRY, STEPHAN GUTTOWSKI, WERNER JOHN und HERBERT REICHL.: *Physical design and technology parameters for vertical System-in-Package integration*. In: *ISSE'05: 28th International Spring Seminar on Electronics Technology*, Seiten 399–405, Mai 2005.
- [19] POLITYKO, D.D., S. GUTTOWSKI und H. REICHL: *Integration Technology Parameters for Physical Design of Vertical System-in-Package*. In: *Electronic Components and Technology Conference, 2006. Proceedings. 56th*, Seiten 1392–1400, May 30 - June 2, 2006.
- [20] REICHL, HERBERT: *Direktmontage - Handbuch über die Verarbeitung ungehäuster ICs*. Springer Verlag, 1998.
- [21] REICHL, HERBERT: *Technologien der Mikrosysteme II*. Technische Universität Berlin, April 2005.
- [22] SCHEEL, WOLFGANG: *Baugruppenttechnologie der Elektronik - Montage*. Verlag Technik, 2. Auflage, 1999.
- [23] THOMPSON, HENRY S., DAVID BEECH, MURRAY MALONEY und NOAH MENDELSON: *W3C Recommendation XML Schema Part 0: Primer*. W3C, Okt 2004. <http://www.w3.org/TR/xmlschema-1/>.
- [24] ULLENBOOM, CHRISTIAN: *Java ist auch eine Insel – Programmieren mit der Java Standard Edition Version 5*. Galileo Computing, 5. aktualisierte und erweiterte Auflage. <http://www.galileocomputing.de/openbook/javainsel5/>.

- [25] VARDAMA, E., K. CARPENTER und L. MATTHEW: *System-in-Package – The New Wave in 3D-Packaging*. Technischer Bericht, TechSearch International, Sept 2005.
- [26] WILLMER, HOLGER: *EDIF-Electronic Design Interchange Format Version 2 0 0*, Sept 1994.

Index

- Airwire, 39, 60, 63, 81
- anisotropic conductive adhesive), 38
- Area-Type, 25, 27
- Array-Type, 25
- Autorouter, 39
- AVT (Aufbau- und Verbindungstechnik), 13, 17

- Bare Dice, 26, 27
- Basisgeometrie, 43, 44
- Basisquader, 43
- Bauelemente, 18
- Bauelemente-Pads, 44
- Bauelementegruppen, 62
- BGA (ball grid array), 25, 27
- Bond-Pad, 26
- Bondpad, 26, 38

- Chip-And-Wire, 20
- Constraints, 41, 62, 72, 87
- CSP (Chip Scale Package), 27
- CSP (Ship Scale Sackage), 25

- Dünnsfilm-Substrate, 28
- Design-Rules, 39
- Direktmontage, 20, 26
- Drahtbonden, 20
- Durchkontaktierung, 30, 60
- Durchsteckmontage, 18, 21

- EC: Explizite Verbinder, 65, 81
- ECAD (Electronic Computer Aided Design), 38

- EDIF (Electronic Design Interchange Format), 39, 63, 85
- Einbettung, 20
- Einzelhalbleiter, 18, 23
- Embedded Components, 21
- embedded components, 20, 107
- Entflechten, 60
- Explizite Verbinder (EC), 65

- FBGA (fine pitch BGA), 25
- Feinverdrahtung (routing), 39
- Finish, 31, 48
- flexible Substrate, 18, 28, 30
- Flexible Verbinder, 32, 35
- Flip-Chip, 20
- Footprint, 39, 44
- Form, 42
- Funktionalität, 41
- Funktionelle Blöcke, 62

- Halbleiter, 18, 27
- Halbleiterbauelemente, 23

- IC (integrated circuit), 18, 24

- Java, 84

- Keep-Out-Flächen, 46, 69
- keramische Substrate, 28
- Kontaktierungsstrecken, 45

- Lötstopplack, 31
- laminierte Substrate, 28
- Leitungslänge, 63

- LGA (land grid array), 25
- Lot-Dicke, 55
- Lotkugeln (solder balls), 25

- Manhattan-Metrik, 64
- MCM (Multi-Chip-Modul), 13
- MELF Metal-Electrode-Faces, 23
- MEMS, 18, 23
- Metallisierungsdicke, 54
- minimal line space, 29
- minimal line width, 29
- Montagetechniken, 18

- Nacktchips, 26
- Nebenbedingungen, 41
- Netzliste, 39

- Oberflächenmontage, 18, 21

- Package, 18
- Pad-Vergrößerungsfaktor, 54
- Partitionierung, 39
- passive Bauelemente, 18, 22
- Passivierungsschicht, 26
- Pitch, 24, 25, 29
- Platzierungsvorschläge, 41
- Port, 49
- Prepreg, 30

- Realisierbarkeit, 41
- Reflow-Löten, 54
- Rentsche Regel, 24
- rigide Substrate, 18, 28, 30
- Routing, 60

- SCGA (solder column grid array), 25
- shape prediction, 33
- Signalintegrität, 74
- SiP (System-In-Package), 13, 20, 22
- SMD (surface mounted device), 22
- SMT-kompatible Packages, 21
- SoC (System-On-Chip) Integration, 13
- Solder-Bump-Verbinder, 32, 33
- Sonderbauformen, 23, 27

- SOT (small outline transistor), 23
- Starrflex, 35
- STEP, 86
- Subnetze, 65
- Substrat, 18, 46, 52
- Substrat-Pad, 44
- surface mount technology, 18

- TAB, 20
- TDP (thermal design power), 63
- Technologiequader, 50–52
- Technologiequader-Gleichungen, 53
- Testbarkeit, 41
- THT (through hole technology), 18
- TQ, 53

- ungehäuste Halbleiter (bare dice), 21

- Verbindungstechnik, 18, 36, 52
- Verdrahtung, 60
- Verdrahtungslänge, 42
- Verdrahtungslagen (signal layer), 29, 30
- Verdrahtungsträger, 17, 21, 28
- vertikale Verdrahtung, 14, 32
- vertikale Verdrahtungsdichte, 35
- Vias, 60
- VIC (vertical interconnect), 32, 48
- Volumen, 42

- Wechselwirkungen, 41

Mein persönlicher Dank gilt den folgenden Personen:

*David Dmitry Polityko
für die Betreuung dieser Arbeit und die vielen fruchtbaren Diskussionen.*

*Michael Schröder und Martin Berger
für die hervorragende Zusammenarbeit.*

*Herrn Prof. Reichl
für die Schaffung des Rahmens, innerhalb dessen diese Arbeit entstehen konnte.*

*Karin und Michael Richter, sowie Manuela Ramthun
für ihre schier endlose Geduld und die vielen aufmunternden Worte.*